

JP2003051501 A

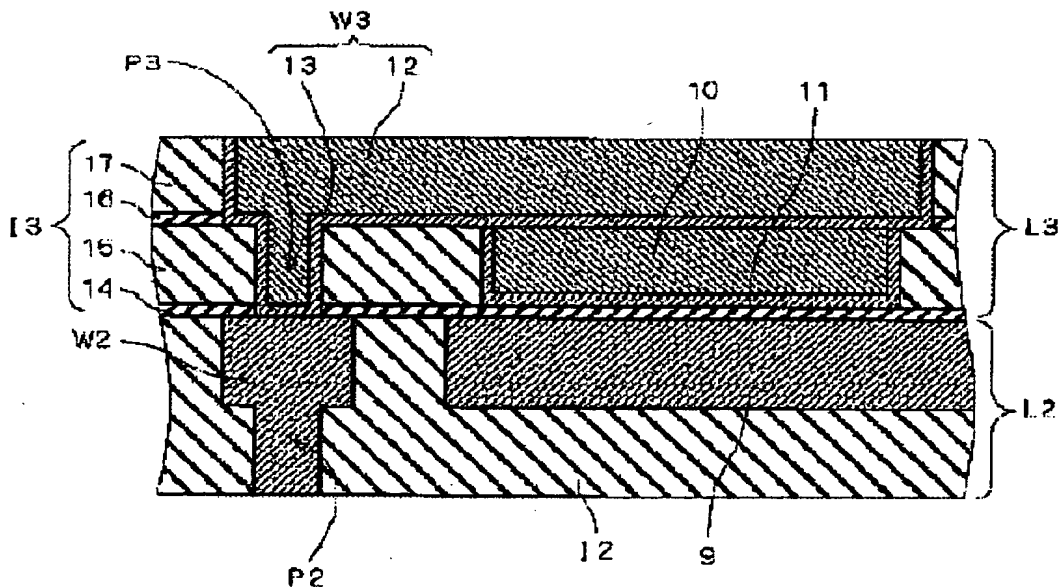
SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME
MITSUBISHI ELECTRIC CORP

Inventor(s): MORIMOTO NOBORU ; GOTO KINYA ; MATSUMOTO MASAHIRO

Application No. 2001269827 JP2001269827 JP, **Filed** 20010906, **A1, Published**
20030221 **Published** 20030221

Abstract: PROBLEM TO BE SOLVED: To provide a semiconductor device and a method of manufacturing the same, which enable the formation of an MIM capacitor together with a metal wiring without using additional complicated process.

SOLUTION: In an insulating film I2, a second layer wiring W2 is formed by a dual damascene process. On the upper surface of the insulation film I2, a metal film 9 serving for a first electrode of the MIM capacitor is formed. An insulation film I3 has a multilayer structure which is such that insulation films 14-17 are formed in this order on the upper surface of a second interconnection layer L2. In an insulation film 15, a second electrode of the MIM capacitor is formed. The second electrode comprises a metal film 11 formed on the insulation film 14 and a metal film 10 formed on the metal film 11. A portion of the insulation film 14 between the first and the second electrode of the MIM capacitor serves as a capacitor dielectric film of the MIM capacitor. In the insulation film I3, a third layer wiring W3 is formed.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-51501

(P2003-51501A)

(43) 公開日 平成15年2月21日 (2003.2.21)

(51) Int.Cl.⁷

識別記号

F I

データベース*(参考)

H 0 1 L 21/3205

H 0 1 L 21/88

S 5 F 0 3 3

21/822

27/04

C 5 F 0 3 8

27/04

審査請求 未請求 請求項の数31 O L (全 50 頁)

(21) 出願番号 特願2001-269827(P2001-269827)

(71) 出願人 000006013

(22) 出願日 平成13年9月6日(2001.9.6)

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(31) 優先権主張番号 特願2001-162414(P2001-162414)

(72) 発明者 森本 昇

東京都千代田区丸の内二丁目2番3号 三

(32) 優先日 平成13年5月30日(2001.5.30)

菱電機株式会社内

(33) 優先権主張国 日本 (J P)

(72) 発明者 後藤 欣哉

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100089233

弁理士 吉田 茂明 (外2名)

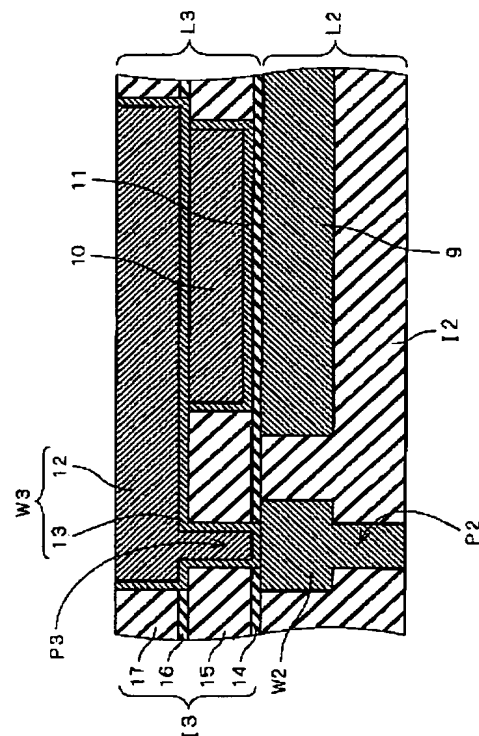
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 複雑な工程を追加することなく、金属配線とともにMIM型キャパシタを形成することが可能な、半導体装置及びその製造方法を得る。

【解決手段】 絶縁膜 I 2 内には、デュアルダマシンプロセスによって形成された第2層配線 W 2 が形成されている。絶縁膜 I 2 の上面内には、MIM型キャパシタの第1電極として機能する金属膜 9 が形成されている。絶縁膜 I 3 は、絶縁膜 1 4 ~ 1 7 がこの順に第2配線層 L 2 の上面上に積層された構造を有している。絶縁膜 1 5 内には、MIM型キャパシタの第2電極が形成されている。該第2電極は、絶縁膜 1 4 上に形成された金属膜 1 1 と、金属膜 1 1 上に形成された金属膜 1 0 とを有している。MIM型キャパシタの第1電極と第2電極とによって挟まれる部分の絶縁膜 1 4 が、MIM型キャパシタのキャパシタ誘電体膜として機能する。絶縁膜 I 3 内には、第3層配線 W 3 が形成されている。



【特許請求の範囲】

【請求項 1】 基板と、前記基板上に形成された半導体素子と、前記半導体素子を覆って前記基板上に形成された層間絶縁膜と、前記層間絶縁膜内に形成され、前記半導体素子に電氣的に接続された MIM (Metal Insulator Metal) 型キャパシタとを備える半導体装置であつて、

前記キャパシタは、
前記層間絶縁膜内に規定される凹部の側面及び底面上に形成され、第 1 電極として機能する第 1 の金属膜と、
前記第 1 の金属膜上に形成された誘電体膜と、
前記凹部内を充填し、前記誘電体膜を挟んで前記第 1 の金属膜に対向し、第 2 電極として機能する第 2 の金属膜とを有することを特徴とする半導体装置。

【請求項 2】 前記キャパシタは、前記第 1 の金属膜、前記誘電体膜、及び前記第 2 の金属膜を含む構造を複数有し、

複数の前記第 1 の金属膜は、前記層間絶縁膜内に形成された第 1 の配線によって互いに接続されており、
複数の前記第 2 の金属膜は、前記層間絶縁膜内に形成された第 2 の配線によって互いに接続されており、
複数の前記第 1 の金属膜が一体として前記第 1 電極として機能し、
複数の前記第 2 の金属膜が一体として前記第 2 電極として機能することを特徴とする、請求項 1 に記載の半導体装置。

【請求項 3】 前記キャパシタは、複数の前記第 2 の金属膜のそれぞれと複数の前記誘電体膜のそれぞれとの界面に形成されたバリア膜を複数さらに有し、
前記第 2 電極に印加される電圧は、前記第 1 電極に印加される電圧よりも高いことを特徴とする、請求項 2 に記載の半導体装置。

【請求項 4】 複数の前記誘電体膜はいずれも、前記層間絶縁膜よりも誘電率が高い膜であることを特徴とする、請求項 3 に記載の半導体装置。

【請求項 5】 複数の前記誘電体膜はいずれも、前記第 1 の金属膜が酸化されることを防止し得る膜であることを特徴とする、請求項 4 に記載の半導体装置。

【請求項 6】 基板と、前記基板上に形成された半導体素子と、前記半導体素子を覆って前記基板上に形成された層間絶縁膜と、前記層間絶縁膜内に形成され、前記半導体素子に電氣的に接続された MIM (Metal Insulator Metal) 型キャパシタとを備える半導体装置であつて、

前記層間絶縁膜は、所定の絶縁層を有し、
前記キャパシタは、
前記絶縁層の主面内に形成され、第 1 電極として機能する第 1 の金属膜と、
前記絶縁層の前記主面内において、前記第 1 の金属膜の側面に形成された誘電体膜と、

前記絶縁層の前記主面内において、前記誘電体膜を挟んで前記第 1 の金属膜に対向し、第 2 電極として機能する第 2 の金属膜とを有することを特徴とする半導体装置。

【請求項 7】 前記誘電体膜及び前記第 2 の金属膜は、前記第 1 の金属膜の互いに対向する側面にそれぞれ形成されており、
複数の前記第 2 の金属膜は、前記層間絶縁膜内に形成された配線によって互いに接続されており、
複数の前記第 2 の金属膜が一体として前記第 2 電極として機能することを特徴とする、請求項 6 に記載の半導体装置。

【請求項 8】 複数の前記第 2 の金属膜のそれぞれと複数の前記誘電体膜のそれぞれとの界面に形成されたバリア膜を複数さらに備え、
前記第 2 電極に印加される電圧は、前記第 1 電極に印加される電圧よりも高いことを特徴とする、請求項 7 に記載の半導体装置。

【請求項 9】 複数の前記誘電体膜はいずれも、前記層間絶縁膜よりも誘電率が高い膜であることを特徴とする、請求項 8 に記載の半導体装置。

【請求項 10】 前記誘電体膜及び前記第 2 の金属膜は、前記第 1 の金属膜の周囲を取り囲んで形成されていることを特徴とする、請求項 6 に記載の半導体装置。

【請求項 11】 前記第 2 の金属膜と前記誘電体膜との界面に形成されたバリア膜をさらに備え、
前記第 2 電極に印加される電圧は、前記第 1 電極に印加される電圧よりも高いことを特徴とする、請求項 1, 6, 10 のいずれか一つに記載の半導体装置。

【請求項 12】 基板と、前記基板上に形成された半導体素子と、前記半導体素子を覆って前記基板上に形成された層間絶縁膜と、前記層間絶縁膜内に形成され、前記半導体素子に電氣的に接続された MIM (Metal Insulator Metal) 型キャパシタとを備える半導体装置であつて、

前記キャパシタは、
前記層間絶縁膜内に形成された配線によって互いに接続された複数の第 1 の金属膜と、
前記複数の第 1 の金属膜上に延在して形成され、前記複数の第 1 の金属膜とともに第 1 電極として機能する第 2 の金属膜と、
前記第 2 の金属膜上に形成された誘電体膜と、
前記誘電体膜を挟んで前記第 2 の金属膜に対向し、第 2 電極として機能する第 3 の金属膜とを有することを特徴とする半導体装置。

【請求項 13】 前記第 2 の金属膜は第 1 のバリア膜として機能し、
前記キャパシタは、
前記第 1 の金属膜と前記配線との界面に形成された第 2 のバリア膜と、
前記第 3 の金属膜と前記誘電体膜との界面に形成された

第3のバリア膜とをさらに有することを特徴とする、請求項12に記載の半導体装置。

【請求項14】 前記誘電体膜は、前記層間絶縁膜よりも誘電率が高い膜であることを特徴とする、請求項11又は13に記載の半導体装置。

【請求項15】 前記誘電体膜は、前記第1の金属膜が酸化されることを防止し得る膜であることを特徴とする、請求項14に記載の半導体装置。

【請求項16】 複数の金属配線を有する多層配線層内にMIM (Metal Insulator Metal) 型キャパシタを形成するために、

(a) 絶縁層の上面内に、金属配線と第1の金属電極とを形成する工程と、

(b) 前記絶縁層の前記上面上に誘電体膜を形成する工程と、

(c) 前記誘電体膜の上面によって底面が規定される凹部を前記第1の金属電極の上方に有する第1の絶縁膜を、前記誘電体膜上に形成する工程と、

(d) 前記凹部内を金属膜によって埋め込むことにより、第2の金属電極を形成する工程と、

(e) 前記工程(d)よりも後に実行され、前記第1の絶縁膜上に第2の絶縁膜を形成する工程と、

(f) 前記第2の絶縁膜の上面から前記第1の金属電極の上面に繋がるコンタクトホールを形成する工程と、

(g) 前記工程(f)よりも後に実行され、第2の絶縁膜内に、前記コンタクトホールに重なる配線溝を形成する工程と、

(h) 前記配線溝及びコンタクトホール内を金属膜によって充填する工程とを備える、半導体装置の製造方法。

【請求項17】 複数の金属配線を有する多層配線層内にMIM (Metal Insulator Metal) 型キャパシタを形成するために、

(a) 絶縁層の上面内に、金属配線と第1の金属電極とを形成する工程と、

(b) 前記第1の金属電極の上面によって底面が規定される凹部を有する第1の絶縁膜を、前記絶縁層の前記上面上に形成する工程と、

(c) 前記凹部の側面及び前記底面上に誘電体膜を形成する工程と、

(d) 前記凹部内を充填する金属膜を前記誘電体膜上に形成することにより、第2の金属電極を形成する工程と、

(e) 前記工程(d)よりも後に実行され、前記第1の絶縁膜上に第2の絶縁膜を形成する工程と、

(f) 前記第2の絶縁膜の上面から前記第1の金属電極の上面に繋がるコンタクトホールを形成する工程と、

(g) 前記工程(f)よりも後に実行され、第2の絶縁膜内に、前記コンタクトホールに重なる配線溝を形成する工程と、

(h) 前記配線溝及びコンタクトホール内を金属膜によ

って充填する工程とを備える、半導体装置の製造方法。

【請求項18】 複数の金属配線を有する多層配線層内にMIM (Metal Insulator Metal) 型キャパシタを形成するために、

(a) 絶縁層の上面内に第1の金属電極を形成する工程と、

(b) 前記第1の金属電極の上面によって底面が規定される凹部を有する絶縁膜を、前記絶縁層の前記上面上に形成する工程と、

(c) 前記凹部の側面及び前記底面上に第1の金属膜を形成する工程と、

(d) 前記第1の金属膜上に誘電体膜を形成する工程と、

(e) 前記凹部内を充填する第2の金属膜を前記誘電体膜上に形成することにより、第2の金属電極を形成する工程とを備える、半導体装置の製造方法。

【請求項19】 前記凹部は、分割された複数の凹部を含み、

前記第1の金属膜は、前記複数の凹部の各々の側面及び底面上に形成された複数の第1の金属膜を含み、

前記誘電体膜は、前記複数の第1の金属膜の各々の上に形成された複数の誘電体膜を含み、

前記第2の金属膜は、前記複数の凹部の各々の内部を充填する複数の第2の金属膜を含む、請求項18に記載の半導体装置の製造方法。

【請求項20】 複数の金属配線を有する多層配線層内にMIM (Metal Insulator Metal) 型キャパシタを形成するために、

(a) 絶縁層の上面内に第1の金属電極を形成する工程と、

(b) 前記第1の金属電極が酸化されることを防止し得る材質から成る誘電体膜を、前記第1の金属電極の上面上に形成する工程と、

(c) 前記誘電体膜上に第2の金属電極を形成する工程と、

(d) 前記工程(b)と前記工程(c)との間に実行され、前記誘電体膜とは材質が異なる所定の膜を、前記誘電体膜を覆って前記絶縁層の前記上面上に形成する工程とを備え、

前記工程(c)は、

(c-1) 前記所定の膜上に絶縁膜を形成する工程と、

(c-2) 前記第1の金属電極の上方に位置する部分の前記絶縁膜を、前記所定の膜をエッチングストップに用いてエッチングすることにより、凹部を形成する工程と、

(c-3) 前記工程(c-2)によって露出した部分の前記所定の膜を除去する工程と、

(c-4) 前記工程(c-3)よりも後に実行され、前記凹部内を金属膜で充填することにより、前記第2の金属電極を形成する工程とを有する、半導体装置の製造方

法。

【請求項 21】 前記工程 (a) は、

(a-1) 分割された複数の凹部を、前記絶縁層の前記上面内に形成する工程と、

(a-2) 前記複数の凹部内をそれぞれ充填し得る膜厚で、金属膜を形成する工程と、

(a-3) 前記工程 (a-2) で形成された前記金属膜を、前記絶縁層の前記上面が露出するまで、CMP (Chemical Mechanical Polishing) によって除去する工程とを有する、請求項 20 に記載の半導体装置の製造方法。

【請求項 22】 複数の金属配線を有する多層配線層内に MIM (Metal Insulator Metal) 型キャパシタを形成するために、

(a) 絶縁層の上面内に第 1 の金属電極を形成する工程と、

(b) 前記第 1 の金属電極の材質が膜外へ拡散することを防止するための拡散バリア膜を、前記第 1 の金属電極上に形成する工程と、

(c) 前記拡散バリア膜上に誘電体膜を形成する工程と、

(d) 前記誘電体膜上に第 2 の金属電極を形成する工程とを備え、

前記工程 (a) は、

(a-1) 分割された複数の凹部を、前記絶縁層の前記上面内に形成する工程と、

(a-2) 前記複数の凹部内をそれぞれ充填し得る膜厚で、金属膜を形成する工程と、

(a-3) 前記工程 (a-2) で形成された前記金属膜を、前記絶縁層の前記上面が露出するまで、CMP (Chemical Mechanical Polishing) によって除去する工程とを有する、半導体装置の製造方法。

【請求項 23】 (e) 前記工程 (c) と前記工程

(d) との間に実行され、前記誘電体膜とは材質が異なる所定の膜を、前記誘電体膜を覆って前記絶縁層の前記上面上に形成する工程をさらに備え、

前記工程 (d) は、

(d-1) 前記所定の膜上に絶縁膜を形成する工程と、

(d-2) 前記第 1 の金属電極の上方に位置する部分の前記絶縁膜を、前記所定の膜をエッチングストップに用いてエッチングすることにより、凹部を形成する工程と、

(d-3) 前記工程 (d-2) によって露出した部分の前記所定の膜を除去する工程と、

(d-4) 前記工程 (d-3) よりも後に実行され、前記凹部内を金属膜で充填することにより、前記第 2 の金属電極を形成する工程とを有する、請求項 22 に記載の半導体装置の製造方法。

【請求項 24】 複数の配線層を有する多層配線層内に MIM (Metal Insulator Metal) 型キャパシタを形成

するために、

(a) 第 1 の配線層が有する第 1 の絶縁層の上面内に、第 1 の金属電極を形成する工程と、

(b) 誘電体膜を介して前記第 1 の金属電極の側面に対向する第 2 の金属電極を、前記第 1 の絶縁層の前記上面内に形成する工程とを備える、半導体装置の製造方法。

【請求項 25】 前記工程 (b) は、

(b-1) 前記第 1 の絶縁層の前記上面上に、第 2 の配線層が有する第 2 の絶縁層を形成する工程と、

(b-2) 前記第 2 の絶縁層の上面内に、前記第 1 の絶縁層の前記上面内にまで延在する延在部を一部に有する配線溝を形成する工程と、

(b-3) 前記配線溝内を金属膜で充填することにより、前記延在部内を充填する前記金属膜として、前記第 2 の金属電極を形成する工程とを有し、

前記誘電体膜は、前記第 1 の金属電極と前記延在部とによって挟まれる部分の前記第 1 の絶縁層である、請求項 24 に記載の半導体装置の製造方法。

【請求項 26】 前記工程 (b) は、

(b-1) 前記第 1 の絶縁層の前記上面内に溝を形成する工程と、

(b-2) 前記溝内を前記誘電体膜で充填する工程とを有する、請求項 24 に記載の半導体装置の製造方法。

【請求項 27】 前記工程 (a) は、

(a-1) 前記第 1 の絶縁層の前記上面内に凹部を形成する工程と、

(a-2) 前記凹部内を金属膜で充填することにより、前記第 1 の金属電極を形成する工程とを有し、

前記工程 (b) は、

(b-1) 前記工程 (a-1) と前記工程 (a-2) との間に実行され、前記誘電体膜を前記凹部の側面に形成する工程を有する、請求項 24 に記載の半導体装置の製造方法。

【請求項 28】 前記工程 (b) は、

(b-1) 前記第 1 の絶縁層の前記上面内に凹部を形成することにより、前記第 1 の金属電極の前記側面を露出する工程と、

(b-2) 前記凹部内に前記誘電体膜を形成する工程と、

(b-3) 前記工程 (b-2) よりも後に実行され、前記凹部内を金属膜で充填することにより、前記第 2 の金属電極を形成する工程とを有する、請求項 24 に記載の半導体装置の製造方法。

【請求項 29】 前記誘電体膜は、前記第 1 の絶縁層よりも誘電率が高い材質から成る誘電体膜である、請求項 26～28 のいずれか一つに記載の半導体装置の製造方法。

【請求項 30】 前記工程 (b) において、前記誘電体膜及び前記第 2 の金属電極は、前記第 1 の金属電極の対向する側面にそれぞれ形成される、請求項 24 に記載の

半導体装置の製造方法。

【請求項 31】 前記工程 (b) において、前記誘電体膜及び前記第 2 の金属電極は、前記第 1 の金属電極の周囲を取り囲んで形成される、請求項 24 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置及びその製造方法に関するものであり、特に、銅 (Cu) を用いた MIM (Metal Insulator Metal) 型キャパシタを備える半導体装置及びその製造方法に関する。

【0002】

【従来の技術】図 94 は、キャパシタを備える従来の半導体装置の構造を示す断面図である。シリコン基板 101 の上面内には、シリコン酸化膜から成る素子分離絶縁膜 102 が形成されている。素子分離絶縁膜 102 によって規定される素子形成領域内には、MOS トランジスタが形成されている。MOS トランジスタは、ゲート酸化膜 103、ゲート電極 104、及びサイドウォール 105 から成るゲート構造と、ゲート構造の下方のチャネル領域を挟んで対を成すソース・ドレイン領域 106 とを有している。素子分離絶縁膜 102 上には、いずれもポリシリコンから成る下部電極 116 及び上部電極 118 と、ON (Oxide Nitride) 構造の誘電体膜 117 とを有する、PIP (Polysilicon Insulator Polysilicon) 型キャパシタが形成されている。PIP 型キャパシタは、半導体装置の製造プロセスにおいて広く用いられているポリシリコン膜を利用して上部電極及び下部電極が構成されているため、複雑な工程を追加することなく形成することができる。

【0003】シリコン基板 101 上には、MOS トランジスタ及びキャパシタを覆う層間絶縁膜 107 が形成されている。層間絶縁膜 107 内には、MOS トランジスタのソース・ドレイン領域 106 や、キャパシタの上部電極 118 及び下部電極 116 に接続された、複数のプラグ 108 が形成されている。層間絶縁膜 107 上には、第 1 配線層が形成されている。第 1 配線層は、絶縁膜 109 と、絶縁膜 109 内に形成された複数の金属配線 110 と、金属配線 110 に接続された複数のプラグ 111 とを有している。金属配線 110 は、プラグ 108 に接続されている。

【0004】第 1 配線層上には、第 2 配線層が形成されている。第 2 配線層は、絶縁膜 112 と、絶縁膜 112 内に形成された複数の金属配線 113 と、金属配線 113 に接続された複数のプラグ 114 とを有している。金属配線 113 は、プラグ 111 に接続されている。第 2 配線層上には、プラグ 114 に接続された複数の金属配線 115 が形成されている。

【0005】

【発明が解決しようとする課題】しかしながら、PIP

型キャパシタは、キャパシタの電圧係数 (VCC) が 220 ppm/V 程度、温度係数 (TCC) が $120 \text{ ppm/}^\circ\text{C}$ 程度であり、電圧変化や温度変化に伴うキャパシタンスの変化量が比較的大きいため、電圧や温度の変化に対して特性が不安定になりやすいという問題があった。また、ポリシリコンの抵抗値が比較的大きいため、特に PIP 型キャパシタを高周波回路に適用した場合は、回路動作の安定性が低いという問題もあった。

【0006】PIP 型キャパシタのこのような問題を解決することを企図して、近年、上部電極及び下部電極が金属によって構成された MIM 型キャパシタの開発が促進されている。MIM 型キャパシタは、PIP 型キャパシタと比較して VCC 値は $1/5 \sim 1/6$ 、TCC 値は $1/2$ 以下であるため、電圧変化や温度変化に対する特性の安定性が高い。また、金属はポリシリコンに比べて抵抗値が低いため、MIM 型キャパシタを高周波回路に適用した場合は、PIP 型キャパシタを用いる場合と比較して回路動作の安定性を高めることができる。

【0007】MIM 型キャパシタは、半導体製造プロセスの BEO L (Back End Of the Line) 工程において、金属配線とともに形成される。従来の BEO L 工程では、金属配線としてアルミニウム配線が一般的に用いられていた。しかし、デバイスの微細化に伴ってアルミニウム配線における配線遅延が問題となってきたため、近年では、アルミニウム配線よりも低抵抗の銅配線が用いられるようになってきている。銅はアルミニウムのようにエッチングによってパターンニングすることが困難であるため、銅配線は、エッチングプロセスではなく、ダマシンプロセスによって形成されるのが一般的である。従って、銅電極を有する MIM 型キャパシタを形成するにあたって、従来のアルミニウム電極を有する MIM 型キャパシタを形成する場合とは異なり、新たな構造及びプロセスが必要となる。

【0008】本発明は、BEO L 工程においてダマシンプロセスによって金属配線が形成される場合に、複雑な工程を追加することなく、金属配線とともに MIM 型キャパシタを形成することが可能な、半導体装置及びその製造方法を得ることを目的とするものである。

【0009】

【課題を解決するための手段】この発明のうち請求項 1 に記載の半導体装置は、基板と、前記基板上に形成された半導体素子と、前記半導体素子を覆って前記基板上に形成された層間絶縁膜と、前記層間絶縁膜内に形成され、前記半導体素子に電気的に接続された MIM (Metal Insulator Metal) 型キャパシタとを備える半導体装置であって、前記キャパシタは、前記層間絶縁膜内に規定される凹部の側面及び底面上に形成され、第 1 電極として機能する第 1 の金属膜と、前記第 1 の金属膜上に形成された誘電体膜と、前記凹部内を充填し、前記誘電体膜を挟んで前記第 1 の金属膜に対向し、第 2 電極として

機能する第2の金属膜とを有することを特徴とするものである。

【0010】また、この発明のうち請求項2に記載の半導体装置は、請求項1に記載の半導体装置であって、前記キャパシタは、前記第1の金属膜、前記誘電体膜、及び前記第2の金属膜を含む構造を複数有し、複数の前記第1の金属膜は、前記層間絶縁膜内に形成された第1の配線によって互いに接続されており、複数の前記第2の金属膜は、前記層間絶縁膜内に形成された第2の配線によって互いに接続されており、複数の前記第1の金属膜が一体として前記第1電極として機能し、複数の前記第2の金属膜が一体として前記第2電極として機能することを特徴とするものである。

【0011】また、この発明のうち請求項3に記載の半導体装置は、請求項2に記載の半導体装置であって、前記キャパシタは、複数の前記第2の金属膜のそれぞれと複数の前記誘電体膜のそれぞれとの界面に形成されたバリア膜を複数さらに有し、前記第2電極に印加される電圧は、前記第1電極に印加される電圧よりも高いことを特徴とするものである。

【0012】また、この発明のうち請求項4に記載の半導体装置は、請求項3に記載の半導体装置であって、複数の前記誘電体膜はいずれも、前記層間絶縁膜よりも誘電率が高い膜であることを特徴とするものである。

【0013】また、この発明のうち請求項5に記載の半導体装置は、請求項4に記載の半導体装置であって、複数の前記誘電体膜はいずれも、前記第1の金属膜が酸化されることを防止し得る膜であることを特徴とするものである。

【0014】また、この発明のうち請求項6に記載の半導体装置は、基板と、前記基板上に形成された半導体素子と、前記半導体素子を覆って前記基板上に形成された層間絶縁膜と、前記層間絶縁膜内に形成され、前記半導体素子に電気的に接続されたMIM (Metal Insulator Metal) 型キャパシタとを備える半導体装置であって、前記層間絶縁膜は、所定の絶縁層を有し、前記キャパシタは、前記絶縁層の主面内に形成され、第1電極として機能する第1の金属膜と、前記絶縁層の前記主面内において、前記第1の金属膜の側面に形成された誘電体膜と、前記絶縁層の前記主面内において、前記誘電体膜を挟んで前記第1の金属膜に対向し、第2電極として機能する第2の金属膜とを有することを特徴とするものである。

【0015】また、この発明のうち請求項7に記載の半導体装置は、請求項6に記載の半導体装置であって、前記誘電体膜及び前記第2の金属膜は、前記第1の金属膜の互いに対向する側面にそれぞれ形成されており、複数の前記第2の金属膜は、前記層間絶縁膜内に形成された配線によって互いに接続されており、複数の前記第2の金属膜が一体として前記第2電極として機能することを

特徴とするものである。

【0016】また、この発明のうち請求項8に記載の半導体装置は、請求項7に記載の半導体装置であって、複数の前記第2の金属膜のそれぞれと複数の前記誘電体膜のそれぞれとの界面に形成されたバリア膜を複数さらに備え、前記第2電極に印加される電圧は、前記第1電極に印加される電圧よりも高いことを特徴とするものである。

【0017】また、この発明のうち請求項9に記載の半導体装置は、請求項8に記載の半導体装置であって、複数の前記誘電体膜はいずれも、前記層間絶縁膜よりも誘電率が高い膜であることを特徴とするものである。

【0018】また、この発明のうち請求項10に記載の半導体装置は、請求項6に記載の半導体装置であって、前記誘電体膜及び前記第2の金属膜は、前記第1の金属膜の周囲を取り囲んで形成されていることを特徴とするものである。

【0019】また、この発明のうち請求項11に記載の半導体装置は、請求項1, 6, 10のいずれか一つに記載の半導体装置であって、前記第2の金属膜と前記誘電体膜との界面に形成されたバリア膜をさらに備え、前記第2電極に印加される電圧は、前記第1電極に印加される電圧よりも高いことを特徴とするものである。

【0020】また、この発明のうち請求項12に記載の半導体装置は、基板と、前記基板上に形成された半導体素子と、前記半導体素子を覆って前記基板上に形成された層間絶縁膜と、前記層間絶縁膜内に形成され、前記半導体素子に電気的に接続されたMIM (Metal Insulator Metal) 型キャパシタとを備える半導体装置であって、前記キャパシタは、前記層間絶縁膜内に形成された配線によって互いに接続された複数の第1の金属膜と、前記複数の第1の金属膜上に延在して形成され、前記複数の第1の金属膜とともに第1電極として機能する第2の金属膜と、前記第2の金属膜上に形成された誘電体膜と、前記誘電体膜を挟んで前記第2の金属膜に対向し、第2電極として機能する第3の金属膜とを有することを特徴とするものである。

【0021】また、この発明のうち請求項13に記載の半導体装置は、請求項12に記載の半導体装置であって、前記第2の金属膜は第1のバリア膜として機能し、前記キャパシタは、前記第1の金属膜と前記配線との界面に形成された第2のバリア膜と、前記第3の金属膜と前記誘電体膜との界面に形成された第3のバリア膜とをさらに有することを特徴とするものである。

【0022】また、この発明のうち請求項14に記載の半導体装置は、請求項11又は13に記載の半導体装置であって、前記誘電体膜は、前記層間絶縁膜よりも誘電率が高い膜であることを特徴とするものである。

【0023】また、この発明のうち請求項15に記載の半導体装置は、請求項14に記載の半導体装置であって

で、前記誘電体膜は、前記第 1 の金属膜が酸化されることを防止し得る膜であることを特徴とするものである。

【0024】また、この発明のうち請求項 16 に記載の半導体装置の製造方法は、複数の金属配線を有する多層配線層内に MIM (Metal Insulator Metal) 型キャパシタを形成するために、(a) 絶縁層の上面内に、金属配線と第 1 の金属電極とを形成する工程と、(b) 前記絶縁層の前記上面上に誘電体膜を形成する工程と、

(c) 前記誘電体膜の上面によって底面が規定される凹部を前記第 1 の金属電極の上方に有する第 1 の絶縁膜を、前記誘電体膜上に形成する工程と、(d) 前記凹部内を金属膜によって埋め込むことにより、第 2 の金属電極を形成する工程と、(e) 前記工程 (d) よりも後に実行され、前記第 1 の絶縁膜上に第 2 の絶縁膜を形成する工程と、(f) 前記第 2 の絶縁膜の上面から前記第 1 の金属電極の上面に繋がるコンタクトホールを形成する工程と、(g) 前記工程 (f) よりも後に実行され、第 2 の絶縁膜内に、前記コンタクトホールに重なる配線溝を形成する工程と、(h) 前記配線溝及びコンタクトホール内を金属膜によって充填する工程とを備えるものである。

【0025】また、この発明のうち請求項 17 に記載の半導体装置の製造方法は、複数の金属配線を有する多層配線層内に MIM (Metal Insulator Metal) 型キャパシタを形成するために、(a) 絶縁層の上面内に、金属配線と第 1 の金属電極とを形成する工程と、(b) 前記第 1 の金属電極の上面によって底面が規定される凹部を有する第 1 の絶縁膜を、前記絶縁層の前記上面上に形成する工程と、(c) 前記凹部の側面及び前記底面上に誘電体膜を形成する工程と、(d) 前記凹部内を充填する金属膜を前記誘電体膜上に形成することにより、第 2 の金属電極を形成する工程と、(e) 前記工程 (d) よりも後に実行され、前記第 1 の絶縁膜上に第 2 の絶縁膜を形成する工程と、(f) 前記第 2 の絶縁膜の上面から前記第 1 の金属電極の上面に繋がるコンタクトホールを形成する工程と、(g) 前記工程 (f) よりも後に実行され、第 2 の絶縁膜内に、前記コンタクトホールに重なる配線溝を形成する工程と、(h) 前記配線溝及びコンタクトホール内を金属膜によって充填する工程とを備えるものである。

【0026】また、この発明のうち請求項 18 に記載の半導体装置の製造方法は、複数の金属配線を有する多層配線層内に MIM (Metal Insulator Metal) 型キャパシタを形成するために、(a) 絶縁層の上面内に第 1 の金属電極を形成する工程と、(b) 前記第 1 の金属電極の上面によって底面が規定される凹部を有する絶縁膜を、前記絶縁層の前記上面上に形成する工程と、(c) 前記凹部の側面及び前記底面上に第 1 の金属膜を形成する工程と、(d) 前記第 1 の金属膜上に誘電体膜を形成する工程と、(e) 前記凹部内を充填する第 2 の金属膜

を前記誘電体膜上に形成することにより、第 2 の金属電極を形成する工程とを備えるものである。

【0027】また、この発明のうち請求項 19 に記載の半導体装置の製造方法は、請求項 18 に記載の半導体装置の製造方法であって、前記凹部は、分割された複数の凹部を含み、前記第 1 の金属膜は、前記複数の凹部の各々の側面及び底面上に形成された複数の第 1 の金属膜を含み、前記誘電体膜は、前記複数の第 1 の金属膜の各々の上に形成された複数の誘電体膜を含み、前記第 2 の金属膜は、前記複数の凹部の各々の内部を充填する複数の第 2 の金属膜を含むことを特徴とするものである。

【0028】また、この発明のうち請求項 20 に記載の半導体装置の製造方法は、複数の金属配線を有する多層配線層内に MIM (Metal Insulator Metal) 型キャパシタを形成するために、(a) 絶縁層の上面内に第 1 の金属電極を形成する工程と、(b) 前記第 1 の金属電極が酸化されることを防止し得る材質から成る誘電体膜を、前記第 1 の金属電極の上面上に形成する工程と、

(c) 前記誘電体膜上に第 2 の金属電極を形成する工程と、(d) 前記工程 (b) と前記工程 (c) との間に実行され、前記誘電体膜とは材質が異なる所定の膜を、前記誘電体膜を覆って前記絶縁層の前記上面上に形成する工程とを備え、前記工程 (c) は、(c-1) 前記所定の膜上に絶縁膜を形成する工程と、(c-2) 前記第 1 の金属電極の上方に位置する部分の前記絶縁膜を、前記所定の膜をエッチングストップに用いてエッチングすることにより、凹部を形成する工程と、(c-3) 前記工程 (c-2) によって露出した部分の前記所定の膜を除去する工程と、(c-4) 前記工程 (c-3) よりも後に実行され、前記凹部内を金属膜で充填することにより、前記第 2 の金属電極を形成する工程とを有するものである。

【0029】また、この発明のうち請求項 21 に記載の半導体装置の製造方法は、請求項 20 に記載の半導体装置の製造方法であって、前記工程 (a) は、(a-1) 分割された複数の凹部を、前記絶縁層の前記上面内に形成する工程と、(a-2) 前記複数の凹部内をそれぞれ充填し得る膜厚で、金属膜を形成する工程と、(a-3) 前記工程 (a-2) で形成された前記金属膜を、前記絶縁層の前記上面が露出するまで、CMP (Chemical Mechanical Polishing) によって除去する工程とを有することを特徴とするものである。

【0030】また、この発明のうち請求項 22 に記載の半導体装置の製造方法は、複数の金属配線を有する多層配線層内に MIM (Metal Insulator Metal) 型キャパシタを形成するために、(a) 絶縁層の上面内に第 1 の金属電極を形成する工程と、(b) 前記第 1 の金属電極の材質が膜外へ拡散することを防止するための拡散バリア膜を、前記第 1 の金属電極上に形成する工程と、

(c) 前記拡散バリア膜上に誘電体膜を形成する工程

と、(d) 前記誘電体膜上に第 2 の金属電極を形成する工程とを備え、前記工程 (a) は、(a-1) 分割された複数の凹部を、前記絶縁層の前記上面内に形成する工程と、(a-2) 前記複数の凹部内をそれぞれ充填し得る膜厚で、金属膜を形成する工程と、(a-3) 前記工程 (a-2) で形成された前記金属膜を、前記絶縁層の前記上面が露出するまで、CMP (Chemical Mechanical Polishing) によって除去する工程とを有するものである。

【0031】また、この発明のうち請求項 23 に記載の半導体装置の製造方法は、請求項 22 に記載の半導体装置の製造方法であって、(e) 前記工程 (c) と前記工程 (d) との間に実行され、前記誘電体膜とは材質が異なる所定の膜を、前記誘電体膜を覆って前記絶縁層の前記上面上に形成する工程をさらに備え、前記工程 (d) は、(d-1) 前記所定の膜上に絶縁膜を形成する工程と、(d-2) 前記第 1 の金属電極の上方に位置する部分の前記絶縁膜を、前記所定の膜をエッチングストップパに用いてエッチングすることにより、凹部を形成する工程と、(d-3) 前記工程 (d-2) によって露出した部分の前記所定の膜を除去する工程と、(d-4) 前記工程 (d-3) よりも後に実行され、前記凹部内を金属膜で充填することにより、前記第 2 の金属電極を形成する工程とを有することを特徴とするものである。

【0032】また、この発明のうち請求項 24 に記載の半導体装置の製造方法は、複数の配線層を有する多層配線層内に MIM (Metal Insulator Metal) 型キャパシタを形成するために、(a) 第 1 の配線層が有する第 1 の絶縁層の上面内に、第 1 の金属電極を形成する工程と、(b) 誘電体膜を介して前記第 1 の金属電極の側面に対向する第 2 の金属電極を、前記第 1 の絶縁層の前記上面内に形成する工程とを備えるものである。

【0033】また、この発明のうち請求項 25 に記載の半導体装置の製造方法は、請求項 24 に記載の半導体装置の製造方法であって、前記工程 (b) は、(b-1) 前記第 1 の絶縁層の前記上面上に、第 2 の配線層が有する第 2 の絶縁層を形成する工程と、(b-2) 前記第 2 の絶縁層の上面内に、前記第 1 の絶縁層の前記上面内にまで延在する延在部を一部に有する配線溝を形成する工程と、(b-3) 前記配線溝内を金属膜で充填することにより、前記延在部内を充填する前記金属膜として、前記第 2 の金属電極を形成する工程とを有し、前記誘電体膜は、前記第 1 の金属電極と前記延在部とによって挟まれる部分の前記第 1 の絶縁層であることを特徴とするものである。

【0034】また、この発明のうち請求項 26 に記載の半導体装置の製造方法は、請求項 24 に記載の半導体装置の製造方法であって、前記工程 (b) は、(b-1) 前記第 1 の絶縁層の前記上面内に溝を形成する工程と、(b-2) 前記溝内を前記誘電体膜で充填する工程とを

有することを特徴とするものである。

【0035】また、この発明のうち請求項 27 に記載の半導体装置の製造方法は、請求項 24 に記載の半導体装置の製造方法であって、前記工程 (a) は、(a-1) 前記第 1 の絶縁層の前記上面内に凹部を形成する工程と、(a-2) 前記凹部内を金属膜で充填することにより、前記第 1 の金属電極を形成する工程とを有し、前記工程 (b) は、(b-1) 前記工程 (a-1) と前記工程 (a-2) との間に実行され、前記誘電体膜を前記凹部の側面に形成する工程を有することを特徴とするものである。

【0036】また、この発明のうち請求項 28 に記載の半導体装置の製造方法は、請求項 24 に記載の半導体装置の製造方法であって、前記工程 (b) は、(b-1) 前記第 1 の絶縁層の前記上面内に凹部を形成することにより、前記第 1 の金属電極の前記側面を露出する工程と、(b-2) 前記凹部内に前記誘電体膜を形成する工程と、(b-3) 前記工程 (b-2) よりも後に実行され、前記凹部内を金属膜で充填することにより、前記第 2 の金属電極を形成する工程とを有することを特徴とするものである。

【0037】また、この発明のうち請求項 29 に記載の半導体装置の製造方法は、請求項 26～28 のいずれか一つに記載の半導体装置の製造方法であって、前記誘電体膜は、前記第 1 の絶縁層よりも誘電率が高い材質から成る誘電体膜であることを特徴とするものである。

【0038】また、この発明のうち請求項 30 に記載の半導体装置の製造方法は、請求項 24 に記載の半導体装置の製造方法であって、前記工程 (b) において、前記誘電体膜及び前記第 2 の金属電極は、前記第 1 の金属電極の対向する側面にそれぞれ形成されることを特徴とするものである。

【0039】また、この発明のうち請求項 31 に記載の半導体装置の製造方法は、請求項 24 に記載の半導体装置の製造方法であって、前記工程 (b) において、前記誘電体膜及び前記第 2 の金属電極は、前記第 1 の金属電極の周囲を取り囲んで形成されることを特徴とするものである。

【0040】

【発明の実施の形態】図 1 は、BEOL 工程で形成された MIM 型キャパシタを備える半導体装置の構造を示す断面図である。シリコン基板 1 の上面内には、シリコン酸化膜から成る素子分離絶縁膜 2 が形成されている。素子分離絶縁膜 2 によって規定される素子形成領域内には、MOS トランジスタが形成されている。MOS トランジスタは、ゲート酸化膜 3、ゲート電極 4、及びサイドウォール 5 から成るゲート構造と、ゲート構造の下方のチャネル領域を挟んで対を成すソース・ドレイン領域 6 とを有している。

【0041】シリコン基板 1 上には、MOS トランジスタ

タを覆って、シリコン酸化膜から成る層間絶縁膜 7 が形成されている。層間絶縁膜 7 内には、MOS トランジスタのソース・ドレイン領域 6 に接続された、複数のプラグ 8 が形成されている。層間絶縁膜 7 上には、複数の配線層を有する多層配線構造が形成されている。図 1 では、一例として第 1 ～第 4 の 4 層の配線層 L 1 ～L 4 を有する多層配線構造を示している。層間絶縁膜 7 上には、第 1 配線層 L 1 が形成されている。第 1 配線層 L 1 は、絶縁膜 I 1 と、絶縁膜 I 1 内に形成された複数の第 1 層配線 W 1 とを有している。第 1 層配線 W 1 は、プラグ 8 に接続されている。

【0042】第 1 配線層 L 1 上には、第 2 配線層 L 2 が形成されている。第 2 配線層 L 2 は、絶縁膜 I 2 と、デュアルダマシンプロセスによって絶縁膜 I 2 内に形成された複数の第 2 層配線 W 2 とを有している。第 2 層配線 W 2 のプラグ部 P 2 は、第 1 層配線 W 1 に接続されている。第 2 配線層 L 2 上には第 3 配線層 L 3 が形成されており、第 3 配線層 L 3 上には第 4 配線層 L 4 が形成されている。第 2 配線層 L 2 と同様に、第 3 配線層 L 3 は絶縁膜 I 3 及び第 3 層配線 W 3 を有しており、第 4 配線層 L 4 は絶縁膜 I 4 及び第 4 層配線 W 4 を有している。第 3 層配線 W 3 のプラグ部 P 3 は第 2 層配線 W 2 に接続されており、第 4 層配線 W 4 のプラグ部 P 4 は第 3 層配線 W 3 に接続されている。

【0043】MIM 型キャパシタ CA は、図 9 4 に示した従来の PIP 型キャパシタとは異なり、素子分離絶縁膜 2 上ではなく、多層配線構造内に形成されている。図 1 に示した例では、MIM 型キャパシタ CA は、第 2 配線層 L 2 及び第 3 配線層 L 3 内に形成されている。もちろん、MIM 型キャパシタ CA は他の配線層内に形成されていてもよく、また、多層配線構造はさらに多数の配線層を有していてもよい。

【0044】以下、MIM 型キャパシタ CA が第 2 配線層 L 2 及び第 3 配線層 L 3 内に形成されている場合を例にとり、第 2 配線層 L 2 及び第 3 配線層 L 3 のみに着目して、本発明の実施の形態について具体的に説明する。

【0045】実施の形態 1. 図 2 は、本発明の実施の形態 1 に係る半導体装置の構造を示す断面図である。第 2 配線層 L 2 は、シリコン酸化膜から成る絶縁膜 I 2 を有している。絶縁膜 I 2 内には、デュアルダマシンプロセスによって形成された第 2 層配線 W 2 が形成されている。第 2 層配線 W 2 の材質は銅、アルミニウム、タングステン等の金属であり、本実施の形態 1 においては銅とする。第 2 層配線 W 2 は、上部（第 2 配線層 L 2 の上面内）に配線部を有しており、下部にプラグ部 P 2 を有している。プラグ部 P 2 は、下層の配線等に接続されている。また、絶縁膜 I 2 の上面内には、MIM 型キャパシタの第 1 電極として機能する金属膜 9 が形成されている。本実施の形態 1 において、金属膜 9 の材質は銅である。なお、第 2 層配線 W 2 と絶縁膜 I 2 との界面、及び

金属膜 9 と絶縁膜 I 2 との界面に、TaN, Ta, TiN 等の金属から成るバリアメタルが形成されていてもよい。後述する他の実施の形態についても同様である。

【0046】第 3 配線層 L 3 は、第 2 配線層 L 2 の上面上に形成されている。第 3 配線層 L 3 は、絶縁膜 I 2 と同程度の膜厚の絶縁膜 I 3 を有している。絶縁膜 I 3 は、絶縁膜 1 4 ～1 7 がこの順に第 2 配線層 L 2 の上面上に積層された構造を有している。絶縁膜 1 4 の材質は SiO₂, Si₃N₄, SiC, Ta₂O₃ 等である。絶縁膜 1 4 の材質として Si₃N₄, SiC を採用した場合、絶縁膜 1 4 は、いずれも銅から成る第 2 層配線 W 2 及び金属膜 9 が酸化されることを防止するための、いわゆる酸化防止膜としての機能を有する。また、SiO₂ よりも誘電率の高い Si₃N₄, SiC, Ta₂O₃ 等の膜を絶縁膜 1 4 の材質として採用した場合、キャパシタ容量を増大することができる。キャパシタの誘電体膜として Si₃N₄, SiC, Ta₂O₃ 等の高誘電率の膜を採用した場合にキャパシタ容量が増大することについては、後述の各実施の形態についても同様である。

【0047】絶縁膜 1 5 の材質はシリコン酸化膜や SiOC 等である。絶縁膜 1 5 内には、MIM 型キャパシタの第 2 電極が形成されている。該第 2 電極は、絶縁膜 1 4 上に形成された金属膜 1 1 と、金属膜 1 1 上に形成された金属膜 1 0 とを有している。本実施の形態 1 において、金属膜 1 0 の材質は銅であり、金属膜 1 1 の材質は TaN, Ta, TiN 等である。金属膜 1 1 は、金属膜 1 0 の材質が膜外へ拡散することを防止するための、いわゆるバリアメタル（拡散バリア膜）としての機能を有する。MIM 型キャパシタの第 1 電極の上面と第 2 電極の底面とは、絶縁膜 1 4 を挟んで互いに対向している。第 1 電極と第 2 電極とによって挟まれる部分の絶縁膜 1 4 が、MIM 型キャパシタのキャパシタ誘電体膜として機能する。

【0048】絶縁膜 1 6 の材質は Si₃N₄, SiC 等である。絶縁膜 1 6 は、金属膜 1 0 の酸化防止膜としての機能を有する。絶縁膜 1 7 の材質はシリコン酸化膜等である。絶縁膜 I 3 内には、第 3 層配線 W 3 が形成されている。第 3 層配線 W 3 は、上部（絶縁膜 1 6, 1 7 内）に配線部を有しており、下部（絶縁膜 1 4, 1 5 内）にプラグ部 P 3 を有している。第 3 層配線 W 3 の配線部は、金属膜 1 0 の上面に接続されている。プラグ部 P 3 は、第 3 配線層 L 3 の下地層である第 2 配線層 L 2 の、第 2 層配線 W 2 に接続されている。第 3 層配線 W 3 は、バリアメタルとして機能する金属膜 1 3 と、金属膜 1 3 上に形成された金属膜 1 2 とを有している。本実施の形態 1 において、金属膜 1 2 の材質は銅であり、金属膜 1 3 の材質は TaN, Ta, TiN 等である。

【0049】図 3 ～1 1 は、図 2 に示した本実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。図 3 を参照して、まず、デュアルダマシンプロセ

スによって、第2配線層L2の絶縁膜I2内に、第2層配線W2及び金属膜9を形成する。金属膜9の膜厚は100~1000nm程度である。図4を参照して、次に、CVD法によって、第2配線層L2の上面上に、50~100nm程度の膜厚の絶縁膜14を形成する。次に、CVD法によって、絶縁膜14上に、100~1000nm程度の膜厚の絶縁膜15を形成する。

【0050】図5を参照して、次に、写真製版法及び異方性ドライエッチング法によって絶縁膜15をパターニングすることにより、絶縁膜14の上面によって規定される底面を有する凹部18を、絶縁膜15内に形成する。ここでの写真製版は、MIM型キャパシタの第2電極の形成レイアウトに対応する開口パターンを有するフォトリソマスクを用いて実行する。また、ここでの異方性ドライエッチングは、絶縁膜14の材質に対して高い選択性を有する条件下（即ち、絶縁膜14の材質がエッチングされにくい条件下）で実行する。

【0051】図6を参照して、次に、スパッタリング法によって、10~100nm程度の膜厚の金属膜11を全面に形成する。次に、メッキ法によって、凹部18内を完全に充填し得る膜厚で、金属膜10を全面に形成する。図7を参照して、次に、CMP（Chemical Mechanical Polishing）法によって、絶縁膜15の上面が露出するまで金属膜10、11を研磨し、表面を平坦化する。

【0052】図8を参照して、次に、CVD法によって、50~100nm程度の膜厚の絶縁膜16を全面に形成する。次に、CVD法によって、100~1000nm程度の膜厚の絶縁膜17を、絶縁膜16上に形成する。図9を参照して、次に、写真製版法及び異方性ドライエッチング法によって、第2層配線W2の上方に位置する部分の絶縁膜17、16、15をこの順にエッチングすることにより、コンタクトホール19を形成する。絶縁膜15の異方性ドライエッチングは、絶縁膜14の材質に対して高い選択性を有する条件下で実行する。

【0053】図10を参照して、次に、写真製版法及び異方性ドライエッチング法によって絶縁膜17をパターニングすることにより、コンタクトホール19に重なる部分を有する配線溝20を、絶縁膜17内に形成する。ここでの写真製版は、第3層配線W3の形成レイアウトに対応する開口パターンを有するフォトリソマスクを用いて実行する。また、ここでの異方性ドライエッチングは、絶縁膜14、16の材質に対して高い選択性を有する条件下で実行する。図11を参照して、次に、全面エッチバック法によって、絶縁膜17から露出している部分の絶縁膜16、及び絶縁膜15から露出している部分の絶縁膜14を除去し、金属膜10の上面及び第2層配線W2の上面を露出する。

【0054】次に、スパッタリング法によって、金属膜13を全面に形成する。次に、メッキ法によって、コン

タクトホール19内及び配線溝20内を完全に充填し得る膜厚で、金属膜12を全面に形成する。次に、CMP法によって、絶縁膜17の上面が露出するまで金属膜12、13を研磨し、表面を平坦化する。以上の工程により、図2に示した構造が得られる。

【0055】このように本実施の形態1に係る半導体装置及びその製造方法によれば、多層配線構造を形成するためのデュアルダマシンプロセスの途中で、MIM型キャパシタを形成することができる。しかも、複雑な工程を追加する必要はなく、追加するフォトリソマスクも、図5に示した工程で凹部18を形成するための1枚のみで足りる。

【0056】また、絶縁膜14の材質として Si_3N_4 、 SiC を採用した場合は、絶縁膜14が、金属膜9及び第2層配線W2の酸化防止膜としての機能と、MIM型キャパシタのキャパシタ誘電体膜としての機能とを兼用する。そのため、酸化防止膜とキャパシタ誘電体膜と個別に形成する場合と比較すると、製造工程数を削減することができる。

【0057】なお、半導体集積回路内でキャパシタを使用する場合は、キャパシタの一方の電極が電源配線に接続され、他方の電極が接地配線に接続されることが多い。このとき、キャパシタに印加される電界の極性によっては、上記一方の電極内のイオンがその電界によって加速され、キャパシタ誘電体膜を通り抜けて上記他方の電極内へ到達し、両電極間にリークが発生することがある。従って、このリークの発生を抑制するためには、高電位が印加される側の電極には、キャパシタ誘電体膜との間にバリアメタルが形成されていることが望ましい。かかる観点より、図2に示した本実施の形態1に係る半導体装置においては、バリアメタルとして機能する金属膜11を有する第2電極が、高電位が印加される側の電極であることが望ましい。後述の各実施の形態についても同様である。

【0058】実施の形態2. 図12は、本発明の実施の形態2に係る半導体装置の構造を示す断面図である。第2配線層L2は絶縁膜I2を有しており、絶縁膜I2内には、エッチングプロセスによって形成された第2層配線W2が形成されている。また、絶縁膜I2の上面内には、MIM型キャパシタの第1電極として機能する金属膜9が形成されている。本実施の形態2において、第2層配線W2及び金属膜9の材質は、アルミニウムやタングステン等の金属である。

【0059】第3配線層L3は絶縁膜I3を有しており、絶縁膜I3は、絶縁膜15~17がこの順に第2配線層L2の上面上に積層された構造を有している。絶縁膜15内には、MIM型キャパシタのキャパシタ誘電体膜として機能する絶縁膜23と、第2電極として機能する金属膜21、22とが形成されている。また、絶縁膜15内には、金属膜9の上面によって底面が規定される

凹部 24 が形成されている。絶縁膜 23 は、凹部 24 の側面及び底面上に形成されており、凹部 24 の底面上に形成されている部分の絶縁膜 23 は、金属膜 9 の上面に接触している。金属膜 22 は絶縁膜 23 上に形成されており、金属膜 21 は金属膜 22 上に形成されている。絶縁膜 23 の材質は Si_3N_4 、 SiC 等であり、金属膜 21 の材質は銅であり、金属膜 22 の材質は TaN 、 Ta 、 TiN 等である。金属膜 22 は、バリアメタルとしての機能を有する。金属膜 22 と金属膜 9 とによって挟まれる部分の絶縁膜 23 が、MIM 型キャパシタのキャパシタ誘電体膜として機能する。絶縁膜 16、17 及び第 3 層配線 W3 の構造は、図 2 に示した構造と同様である。

【0060】図 13～20 は、図 12 に示した本実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。図 13 を参照して、まず、エッチングプロセスによって、第 2 配線層 L2 の絶縁膜 I2 内に、第 2 層配線 W2 及び金属膜 9 を形成する。具体的には、スパッタリング法によって、100～1000 nm 程度の膜厚のアルミニウム膜を形成した後、写真製版法及び異方性ドライエッチング法によって該アルミニウム膜をパターンニングすることにより、第 2 層配線 W2 及び金属膜 9 を形成する。次に、CVD 法及び CMP 法によって、第 2 層配線 W2 と金属膜 9 との間の空間を、絶縁膜 I2 によって充填する。次に、CVD 法によって、第 2 配線層 L2 の上面上に、100～1000 nm 程度の膜厚の絶縁膜 15 を形成する。なお、第 2 層配線 W2 及び金属膜 9 は銅によって形成してもよく、この場合は、絶縁膜 15 を形成する前に、 Si_3N_4 、 SiC 等の絶縁膜 14 を第 2 配線層 L2 の上面上に形成する。後述の実施の形態 3 についても同様である。

【0061】図 14 を参照して、次に、写真製版法及び異方性ドライエッチング法によって絶縁膜 15 をパターンニングすることにより、金属膜 9 の上面によって規定される底面を有する凹部 24 を、絶縁膜 15 内に形成する。なお、第 2 配線層 L2 の上面上に絶縁膜 14 が形成されている場合は、この工程で絶縁膜 14 も併せて除去することにより、金属膜 9 の上面を露出する。

【0062】図 15 を参照して、次に、CVD 法によって、50～100 nm 程度の膜厚の絶縁膜 23 を全面に形成する。具体的に、絶縁膜 23 は、絶縁膜 15 の上面上と、凹部 24 の側面及び底面上とに形成される。次に、スパッタリング法によって、10～100 nm 程度の膜厚の金属膜 22 を全面に形成する。次に、メッキ法によって、凹部 24 内を完全に充填し得る膜厚で、金属膜 21 を全面に形成する。図 16 を参照して、次に、CMP 法によって、絶縁膜 15 の上面が露出するまで金属膜 21、22 及び絶縁膜 23 を研磨し、表面を平坦化する。

【0063】図 17 を参照して、次に、CVD 法によ

て、絶縁膜 16、17 を、この順に全面に形成する。図 18 を参照して、次に、写真製版法及び異方性ドライエッチング法によって、第 2 層配線 W2 の上方に位置する部分の絶縁膜 17、16、15 をこの順にエッチングすることにより、コンタクトホール 19 を形成する。これにより、第 2 層配線 W2 の上面が露出する。図 19 を参照して、次に、写真製版法及び異方性ドライエッチング法によって絶縁膜 17 をパターンニングすることにより、絶縁膜 17 内に配線溝 20 を形成する。ここでの異方性ドライエッチングは、絶縁膜 16 の材質に対して高い選択性を有する条件下で実行する。図 20 を参照して、次に、全面エッチバック法によって、絶縁膜 17 から露出している部分の絶縁膜 16 を除去することにより、金属膜 21 の上面を露出する。

【0064】次に、スパッタリング法によって、金属膜 13 を全面に形成した後、メッキ法によって、コンタクトホール 19 内及び配線溝 20 内を完全に充填し得る膜厚で、金属膜 12 を全面に形成する。次に、CMP 法によって、絶縁膜 17 の上面が露出するまで金属膜 12、13 を研磨し、表面を平坦化する。以上の工程により、図 12 に示した構造が得られる。

【0065】このように本実施の形態 2 に係る半導体装置及びその製造方法によれば、上記実施の形態 1 と同様に、複雑な工程を追加することなく、デュアルダマシンプロセスの途中で、多層配線構造内に MIM 型キャパシタを形成することができる。

【0066】また、上記実施の形態 1 では、凹部 18 を形成するためのエッチングのオーバーエッチによって、キャパシタ誘電体膜である絶縁膜 14 が若干除去されてしまう。これに対して本実施の形態 2 に係る半導体装置の製造方法では、キャパシタ誘電体膜の膜厚が絶縁膜 23 の成膜膜厚に完全に等しくなるため、キャパシタ誘電体膜の膜厚の変動を抑制でき、キャパシタ容量のばらつきの少ない高性能のキャパシタを得ることができる。

【0067】実施の形態 3. 図 21 は、本発明の実施の形態 3 に係る半導体装置の構造を示す断面図である。第 2 配線層 L2 の構造は、図 12 に示した上記実施の形態 2 に係る半導体装置における第 2 配線層 L2 の構造と同様である。第 3 配線層 L3 は絶縁膜 I3 を有しており、絶縁膜 I3 は、絶縁膜 15～17 がこの順に第 2 配線層 L2 の上面上に積層された構造を有している。絶縁膜 15 内には凹部 24 が形成されており、凹部 24 内には、凹部 24 の側面及び底面上に形成された金属膜 25 と、金属膜 25 上に形成された絶縁膜 23 と、絶縁膜 23 上に形成された金属膜 22 と、金属膜 22 上に形成された金属膜 21 とが形成されている。本実施の形態 3 において、金属膜 25 の材質は TaN 、 Ta 、 TiN 等である。凹部 24 の底面上に形成されている部分の金属膜 25 は金属膜 9 の上面に接触しており、金属膜 25 は MIM 型キャパシタの第 1 電極の一部として機能する。金属

膜 22 と金属膜 25 とによって挟まれる絶縁膜 23 は、MIM 型キャパシタのキャパシタ誘電体膜として機能する。絶縁膜 16, 17 内において、金属膜 21 の上面上には、金属膜 12, 13 を有する第 3 層配線 W3b が形成されている。絶縁膜 13 内には、金属膜 12, 13 を有する第 3 層配線 W3a が形成されている。第 3 層配線 W3a は、上部に配線部を有しており、下部にプラグ部 P3 を有している。プラグ部 P3 は、第 2 層配線 W2 に接続されている。

【0068】図 22~27 は、図 21 に示した本実施の形態 3 に係る半導体装置の製造方法を工程順に示す断面図である。まず、上記実施の形態 2 と同様の工程を経て、図 14 に示した構造を得る。図 22 を参照して、次に、スパッタリング法によって、10~100nm 程度の膜厚の金属膜 25 を全面に形成する。具体的に、金属膜 25 は、絶縁膜 15 の上面上と、凹部 24 の側面及び底面上とに形成される。次に、上記実施の形態 2 と同様の方法により、絶縁膜 23、金属膜 22、及び金属膜 21 を、この順に全面に形成する。図 23 を参照して、次に、CMP 法によって、絶縁膜 15 の上面が露出するまで、金属膜 21, 22, 25 及び絶縁膜 23 を研磨し、表面を平坦化する。

【0069】図 24 を参照して、次に、CVD 法によって、絶縁膜 16, 17 を、この順に全面に形成する。図 25 を参照して、次に、写真製版法及び異方性ドライエッチング法によって、絶縁膜 17, 16, 15 をこの順に部分的にエッチングすることにより、コンタクトホール 19 を形成する。図 26 を参照して、次に、写真製版法及び異方性ドライエッチング法によって絶縁膜 17 をパターンニングすることにより、絶縁膜 17 内に配線溝 26, 27 を形成する。配線溝 26 は部分的にコンタクトホール 19 に重なり、配線溝 27 は金属膜 21 の上方に形成されている。図 27 を参照して、次に、全面エッチバック法によって、絶縁膜 17 から露出している部分の絶縁膜 16 を除去し、金属膜 21 の上面を露出する。

【0070】次に、スパッタリング法によって、金属膜 13 を全面に形成した後、メッキ法によって、コンタクトホール 19 内及び配線溝 26, 27 内を完全に充填し得る膜厚で、金属膜 12 を全面に形成する。次に、CMP 法によって、絶縁膜 17 の上面が露出するまで金属膜 12, 13 を研磨し、表面を平坦化する。以上の工程により、図 21 に示した構造が得られる。

【0071】このように本実施の形態 3 に係る半導体装置及びその製造方法によれば、上記実施の形態 1 と同様に、複雑な工程を追加することなく、デュアルダマシンプロセスの途中で、多層配線構造内に MIM 型キャパシタを形成することができる。

【0072】また、MIM 型キャパシタの第 1 電極の一部として機能する金属膜 25 は、凹部 24 の底面上のみならず側面にも形成されている。そのため、上記実施の

形態 1, 2 に係る半導体装置と比較すると、第 1 電極と第 2 電極とが互いに対向する面積を拡大することができ、キャパシタ容量を増大することができる。例えば、凹部 24 の上面が各辺 10 μm の正方形であり、凹部 24 の深さが 1.0 μm である場合、本実施の形態 3 における第 1 電極と第 2 電極との対向面積は、上記実施の形態 1, 2 と比べて約 40% 増大する。従って、キャパシタ容量も約 40% 増大することになる。

【0073】実施の形態 4. 図 28 は、本発明の実施の形態 4 に係る半導体装置の構造を示す断面図である。本実施の形態 4 に係る半導体装置は、図 21 に示した上記実施の形態 3 に係る半導体装置を基礎として、MIM 型キャパシタの構造を改良したものである。MIM 型キャパシタの第 2 電極として機能する金属膜 21, 22、キャパシタ誘電体膜として機能する絶縁膜 23、及び第 1 電極の一部として機能する金属膜 25 は、それぞれ複数（図 28 に示した例では 3 つ）に分割されている。分割された複数の金属膜 25 は、金属膜 9 に共通に接続されている。また、MIM 型キャパシタの第 2 電極に接続される第 3 層配線 W3b も複数に分割されており、これらの第 3 層配線 W3b は、分割された複数の第 2 電極にそれぞれ接続されている。これらの第 3 層配線 W3b は、上層の配線層内に形成された金属配線によって、互いに電氣的に接続されている。

【0074】図 29 は、本実施の形態 4 に係る半導体装置の製造方法における一工程を示す断面図である。図 14 に示した工程において、一つの凹部 24 の代わりに、複数に分割された凹部 28 を形成する。これにより、複数に分割された第 2 電極、キャパシタ誘電体膜、及び金属膜 25 を、各凹部 28 内にそれぞれ形成することができる。

【0075】このように本実施の形態 4 に係る半導体装置及びその製造方法によれば、上記実施の形態 1 と同様に、複雑な工程を追加することなく、デュアルダマシンプロセスの途中で、多層配線構造内に MIM 型キャパシタを形成することができる。

【0076】また、MIM 型キャパシタの第 2 電極、キャパシタ誘電体膜、及び金属膜 25 をそれぞれ複数に分割したことにより、上記実施の形態 3 に係る半導体装置と比較しても、第 1 電極と第 2 電極とが互いに対向する面積を拡大でき、キャパシタ容量をさらに増大することができる。

【0077】実施の形態 5. 図 30 は、本発明の実施の形態 5 に係る半導体装置の構造を示す断面図である。第 2 配線層 L2 は絶縁膜 12 を有しており、絶縁膜 12 内には、ダマシンプロセスによって形成された第 2 層配線 W2a, W2b が形成されている。本実施の形態 5 において、第 2 層配線 W2a, W2b の材質は銅である。第 3 配線層 L3 は、第 2 配線層 L2 の上面上に形成されている。第 3 配線層 L3 は、絶縁膜 12 と同程度の膜厚の

絶縁膜 13 を有している。絶縁膜 13 は、絶縁膜 14, 15, 16a, 17 がこの順に第 2 配線層 L2 の上面上に積層された構造を有している。絶縁膜 14 の材質は Si_3N_4 , SiC 等であり、絶縁膜 14 は、銅から成る第 2 層配線 W2 の酸化防止膜としての機能を有する。

【0078】絶縁膜 15 の材質はシリコン酸化膜や SiOC 膜等である。絶縁膜 14, 15 内には、第 2 層配線 W2b の上面上によって規定される底面を有する凹部 35 と、凹部 35 内に形成された、MIM 型キャパシタの第 1 電極とが形成されている。該第 1 電極は、凹部 35 の側面及び底面上に形成された金属膜 31 と、金属膜 31 上に形成された金属膜 30 とを有している。金属膜 30 の材質は銅である。金属膜 31 の材質は TaN , Ta , TiN 等であり、金属膜 31 は、銅から成る金属膜 30 のバリアメタルとしての機能を有する。

【0079】金属膜 30 の上面上には、MIM 型キャパシタのキャパシタ誘電体膜として機能する絶縁膜 32 が形成されている。絶縁膜 32 の材質は Si_3N_4 , SiC 等であり、絶縁膜 32 は、銅から成る金属膜 30 の酸化防止膜としての機能をも併せて有する。絶縁膜 17 内には、絶縁膜 32 の上面上によって規定される底面を有する凹部 36 が形成されている。凹部 36 内には MIM 型キャパシタの第 2 電極が形成されている。該第 2 電極は、凹部 36 の側面及び底面上に形成された金属膜 34 と、金属膜 34 上に形成された金属膜 33 とを有している。金属膜 33 の材質は銅である。金属膜 34 の材質は TaN , Ta , TiN 等であり、金属膜 34 は、銅から成る金属膜 33 のバリアメタルとしての機能を有する。絶縁膜 17 の材質はシリコン酸化膜や SiOC 膜等である。また、絶縁膜 16a は、絶縁膜 32 とは異なる材質から成る絶縁膜である。第 3 層配線 W3 の構造は、図 21 に示した第 3 層配線 W3a の構造と同様である。

【0080】図 31～38 は、図 30 に示した本実施の形態 5 に係る半導体装置の製造方法を工程順に示す断面図である。図 31 を参照して、まず、デュアルダマシンプロセスによって、第 2 配線層 L2 の絶縁膜 I2 内に、第 2 層配線 W2a, W2b を形成する。次に、CVD 法によって、第 2 配線層 L2 の上面上に、絶縁膜 14, 15 をこの順に全面に形成する。

【0081】図 32 を参照して、次に、写真製版法及び異方性ドライエッチング法によって絶縁膜 14, 15 をパターンニングすることにより、第 2 層配線 W2b の上面上によって規定される底面を有する凹部 35 を、絶縁膜 14, 15 内に形成する。ここでの写真製版は、MIM 型キャパシタの第 1 電極の形成レイアウトに対応する開口パターンを有するフォトマスクを用いて実行する。

【0082】図 33 を参照して、次に、スパッタリング法によって、10～100nm 程度の膜厚の金属膜 31 を全面に形成する。次に、メッキ法によって、凹部 35 内を完全に充填し得る膜厚で、金属膜 30 を全面に形成

する。次に、CMP 法によって、絶縁膜 15 の上面が露出するまで金属膜 30, 31 を研磨し、表面を平坦化する。これにより、金属膜 30, 31 を有する第 1 電極が凹部 35 内に形成される。

【0083】図 34 を参照して、次に、CVD 法によって、50～100nm 程度の膜厚の絶縁膜 32 を全面に形成する。次に、写真製版法及び異方性ドライエッチング法によって絶縁膜 32 をパターンニングすることにより、MIM 型キャパシタの第 1 電極上のみに絶縁膜 32 を残す。図 35 を参照して、次に、CVD 法によって、絶縁膜 16a, 17 をこの順に全面に形成する。図 36 を参照して、次に、写真製版法及び異方性ドライエッチング法によって、絶縁膜 17, 16a, 15 をこの順に部分的にエッチングすることにより、コンタクトホール 19 を形成する。絶縁膜 15 の異方性ドライエッチングは、絶縁膜 14 の材質に対して高い選択性を有する条件下で実行する。

【0084】図 37 を参照して、次に、写真製版法及び異方性ドライエッチング法によって絶縁膜 17 をパターンニングすることにより、コンタクトホール 19 に部分的に重なる配線溝 26 を形成するとともに、MIM 型キャパシタの第 1 電極の上方に凹部 36 を形成する。ここでの異方性ドライエッチングにおいて、絶縁膜 16a は、異方性ドライエッチングに対するエッチングストップとして機能する。

【0085】図 38 を参照して、次に、全面エッチバック法によって、絶縁膜 15 から露出している部分の絶縁膜 14 を除去して、第 2 層配線 W2a の上面を露出する。次に、全面エッチバック法により、絶縁膜 17 から露出している部分の絶縁膜 16a を除去して、絶縁膜 32 の上面を露出する。

【0086】次に、スパッタリング法によって、金属膜 13, 34 を全面に形成する。次に、メッキ法によって、コンタクトホール 19 内、配線溝 26 内、及び凹部 36 内を完全に充填し得る膜厚で、金属膜 12, 33 を全面に形成する。次に、CMP 法によって、絶縁膜 17 の上面が露出するまでこれらの金属膜を研磨し、表面を平坦化する。以上の工程により、図 30 に示した構造が得られる。

【0087】このように本実施の形態 5 に係る半導体装置及びその製造方法によれば、上記実施の形態 1 と同様に、複雑な工程を追加することなく、デュアルダマシンプロセスの途中で、多層配線構造内に MIM 型キャパシタを形成することができる。

【0088】また、金属膜 30 の酸化防止膜である絶縁膜 32 をキャパシタ誘電体膜としても兼用するため、酸化防止膜とは別にキャパシタ誘電体膜を形成する場合と比較すると、製造工程数を削減することができる。

【0089】さらに、キャパシタ誘電体膜として機能する絶縁膜 32 上に予め絶縁膜 16a を形成しておき、図

37に示した工程で凹部36を形成するための異方性ドライエッチングを行う際に、絶縁膜16aをエッチングストップとして用いる。従って、この異方性ドライエッチングのオーバーエッチによって絶縁膜32の一部が除去されることを回避できるため、キャパシタ容量のばらつきの少ない高性能のキャパシタを得ることができる。

【0090】実施の形態6. 図39は、本発明の実施の形態6に係る半導体装置の構造を示す断面図である。図30に示した上記実施の形態5に係る半導体装置と比較すると、第3層配線W3の構造が異なっている。本実施の形態6に係る半導体装置において、第3層配線W3は、金属膜39、40から成る配線部と、金属膜37、38から成るプラグ部P3とを個別に有している。金属膜37、39の材質は銅である。金属膜38、40の材質はTa₂N₅、Ta、TiN等であり、金属膜38、40は、銅から成る金属膜37、39のバリアメタルとしての機能を有する。本実施の形態6に係る半導体装置のその他の構造は、上記実施の形態5に係る半導体装置の構造と同様である。

【0091】図40～44は、図39に示した本実施の形態6に係る半導体装置の製造方法を工程順に示す断面図である。まず、上記実施の形態5と同様の工程を経て、図31に示した構造を得る。図40を参照して、次に、写真製版法及び異方性ドライエッチング法によって絶縁膜14、15をパターンニングすることにより、コンタクトホール41と凹部35とを形成する。コンタクトホール41を形成することによって、第2層配線W2aの上面が露出する。

【0092】図41を参照して、次に、スパッタリング法によって、金属膜31、38を全面に形成する。次に、メッキ法によって、コンタクトホール41内及び凹部35内を完全に充填し得る膜厚で、金属膜30、37を全面に形成する。次に、CMP法によって、絶縁膜15の上面が露出するまでこれらの金属膜を研磨し、表面を平坦化する。これにより、コンタクトホール41内に埋め込まれ、金属膜37、38を有するプラグ部P3と、凹部35内に埋め込まれ、金属膜30、31を有する第1電極とが形成される。

【0093】図42を参照して、次に、上記実施の形態5と同様の工程を経て、絶縁膜32、16a、17を形成する。本実施の形態6において、絶縁膜16aは、酸化防止膜としての機能をも有する絶縁膜であり、絶縁膜16aを形成することによって、プラグ部P3の上面が酸化することが防止される。但し、エッチングの選択性の観点からは、絶縁膜16aは絶縁膜32とは異なる材質から成る絶縁膜であることが必要である。

【0094】図43を参照して、次に、写真製版法及び異方性ドライエッチング法によって絶縁膜17をパターンニングすることにより、プラグ部P3の上方に配線溝42を形成するとともに、第2電極の上方に凹部36を形

成する。上記実施の形態5と同様に、ここでの異方性ドライエッチングにおいて、絶縁膜16aは、異方性ドライエッチングに対するエッチングストップとして機能する。図44を参照して、次に、全面エッチバック法によって、絶縁膜17から露出している部分の絶縁膜16aを除去して、プラグ部P3の上面及び絶縁膜32の上面を露出する。

【0095】次に、スパッタリング法によって、金属膜40、34を全面に形成する。次に、メッキ法によって、配線溝42内及び凹部36内を完全に充填し得る膜厚で、金属膜39、33を全面に形成する。次に、CMP法によって、絶縁膜17の上面が露出するまでこれらの金属膜を研磨し、表面を平坦化する。以上の工程により、図39に示した構造が得られる。

【0096】このように本実施の形態6に係る半導体装置及びその製造方法によれば、配線部とプラグ部とを個別に形成するシングルダマシンプロセスを用いる場合であっても、複雑な工程を追加することなく多層配線構造内にMIM型キャパシタを形成することができ、上記実施の形態5と同様の効果を得ることができる。

【0097】実施の形態7. 図45は、本発明の実施の形態7に係る半導体装置の構造を示す断面図である。図30に示した上記実施の形態5に係る半導体装置と比較すると、絶縁膜16aが形成されておらず、また、キャパシタ誘電体膜として機能する絶縁膜32の構造が異なっている。本実施の形態7に係る半導体装置において、絶縁膜32は、MIM型キャパシタの第1電極上のみならず、絶縁膜15上にも形成されている。絶縁膜32は絶縁膜14とは異なる材質の絶縁膜であり、第1電極と第2電極とによって挟まれる部分の絶縁膜32が、キャパシタ誘電体膜として機能する。本実施の形態7に係る半導体装置のその他の構造は、上記実施の形態5に係る半導体装置の構造と同様である。

【0098】図46～49は、図45に示した本実施の形態7に係る半導体装置の製造方法を工程順に示す断面図である。まず、上記実施の形態5と同様の工程を経て、図33に示した構造を得る。図46を参照して、次に、CVD法によって、絶縁膜32を全面に形成する。図47を参照して、次に、CVD法によって、絶縁膜17を全面に形成する。次に、写真製版法及び異方性ドライエッチング法によって、コンタクトホール19を形成する。図48を参照して、次に、写真製版法及び異方性ドライエッチング法によって、絶縁膜17内に配線溝26及び凹部36を形成する。図49を参照して、次に、全面エッチバック法によって、絶縁膜15から露出している部分の絶縁膜14を除去して、第2層配線W2aの上面を露出する。

【0099】次に、スパッタリング法によって、金属膜13、34を全面に形成する。次に、メッキ法によって、コンタクトホール19内、配線溝26内、及び凹部

36内を完全に充填し得る膜厚で、金属膜12、33を全面に形成する。次に、CMP法によって、絶縁膜17の上面が露出するまでこれらの金属膜を研磨し、表面を平坦化する。以上の工程により、図45に示した構造が得られる。

【0100】このように本実施の形態7に係る半導体装置及びその製造方法によれば、上記実施の形態5と同様に、複雑な工程を追加することなく、デュアルダマシンプロセスの途中で、多層配線構造内にMIM型キャパシタを形成することができる。

【0101】また、金属膜30の酸化防止膜である絶縁膜32をキャパシタ誘電体膜としても兼用するため、酸化防止膜とは別にキャパシタ誘電体膜を形成する場合と比較すると、製造工程数を削減することができる。

【0102】しかも、絶縁膜32をパターンニングする工程(図34)や絶縁膜16aを形成する工程(図35)を実行しないため、上記実施の形態5と比較しても、製造工程数を削減することができる。但し、エッチングストップパとして機能する絶縁膜16aを絶縁膜32上に形成することにより、絶縁膜32に対するオーバーエッチ量を低減できるという上記実施の形態5の効果を得ることは可能である。

【0103】実施の形態8. 図50は、本発明の実施の形態8に係る半導体装置の構造を示す断面図である。本実施の形態8に係る半導体装置において、MIM型キャパシタの第1電極の上面には金属膜44が形成されており、金属膜44上には絶縁膜45が形成されている。第2電極は、絶縁膜45上に形成されている。金属膜44の材質はTa₂N₃、Ta、TiN等であり、金属膜44は、銅から成る金属膜30のバリアメタルとしての機能を有する。絶縁膜45は、絶縁膜32の材質であるSi₃N₄、SiCよりも誘電率が高い材質から成る絶縁膜である。本実施の形態8に係る半導体装置のその他の構造は、図30に示した上記実施の形態5に係る半導体装置の構造と同様である。

【0104】図51～54は、図50に示した本実施の形態8に係る半導体装置の製造方法を工程順に示す断面図である。まず、上記実施の形態5と同様の工程を経て、図33に示した構造を得る。図51を参照して、次に、スパッタリング法によって、金属膜44を全面に形成する。次に、CVD法によって、絶縁膜45を全面に形成する。次に、写真製版法及び異方性ドライエッチング法によって金属膜44及び絶縁膜45をパターンニングすることにより、MIM型キャパシタの第1電極上のみこれらの膜を残す。

【0105】図52を参照して、次に、CVD法によって、絶縁膜16a、17をこの順に全面に形成する。次に、写真製版法及び異方性ドライエッチング法によって、コンタクトホール19を形成する。図53を参照して、次に、写真製版法及び異方性ドライエッチング法に

よって、絶縁膜17内に配線溝26及び凹部36を形成する。この異方性ドライエッチングにおいて、絶縁膜16aはエッチングストップパとして機能する。図54を参照して、次に、全面エッチバック法によって、絶縁膜15から露出している部分の絶縁膜14を除去して、第2層配線W2aの上面を露出する。次に、全面エッチバック法により、絶縁膜17から露出している部分の絶縁膜16aを除去して、絶縁膜45の上面を露出する。

【0106】次に、スパッタリング法によって、金属膜13、34を全面に形成する。次に、メッキ法によって、コンタクトホール19内、配線溝26内、及び凹部36内を完全に充填し得る膜厚で、金属膜12、33を全面に形成する。次に、CMP法によって、絶縁膜17の上面が露出するまでこれらの金属膜を研磨し、表面を平坦化する。以上の工程により、図50に示した構造が得られる。

【0107】このように本実施の形態8に係る半導体装置及びその製造方法によれば、上記実施の形態5と同様に、複雑な工程を追加することなく、デュアルダマシンプロセスの途中で、多層配線構造内にMIM型キャパシタを形成することができる。

【0108】また、図53に示した工程で凹部36を形成するための異方性ドライエッチングを行う際に、絶縁膜16aをエッチングストップパとして用いる。従って、この異方性ドライエッチングのオーバーエッチによって絶縁膜45の一部が除去されることを回避できるため、キャパシタ容量のばらつきの少ない高性能のキャパシタを得ることができる。

【0109】さらに、銅から成る金属膜30の上面上には、バリアメタルとして機能する金属膜44が形成されており、絶縁膜45は、金属膜30上に直接形成されるのではなく、金属膜44上に形成される。従って、絶縁膜45としては、Si₃N₄、SiC以外の、これらの膜よりも誘電率の高い材質から成る絶縁膜を採用することができ、その結果、キャパシタ容量を増大することができる。

【0110】実施の形態9. 図55は、本発明の実施の形態9に係る半導体装置の構造を示す断面図である。図50に示した上記実施の形態8に係る半導体装置と比較すると、第3層配線W3の構造が異なっている。本実施の形態9に係る半導体装置において、第3層配線W3は、金属膜39、40から成る配線部と、金属膜37、38から成るプラグ部P3とを個別に有している。本実施の形態9に係る半導体装置のその他の構造は、上記実施の形態8に係る半導体装置の構造と同様である。

【0111】図56～59は、図55に示した本実施の形態9に係る半導体装置の製造方法を工程順に示す断面図である。まず、上記実施の形態6と同様の工程を経て、図41に示した構造を得る。図56を参照して、次に、スパッタリング法によって、金属膜44を全面に形

成する。次に、CVD法によって、絶縁膜45を全面に形成する。次に、写真製版法及び異方性ドライエッチング法によって金属膜44及び絶縁膜45をパターンニングすることにより、MIM型キャパシタの第1電極上のみここれらの膜を残す。

【0112】図57を参照して、次に、CVD法によって、絶縁膜16aを全面に形成する。図58を参照して、次に、CVD法によって、絶縁膜17を全面に形成する。次に、写真製版法及び異方性ドライエッチング法によって、配線溝42及び凹部36を形成する。図59を参照して、次に、全面エッチバック法によって、絶縁膜17から露出している部分の絶縁膜16aを除去して、プラグ部P3の上面及び絶縁膜45の上面を露出する。

【0113】次に、スパッタリング法によって、金属膜40、34を全面に形成する。次に、メッキ法によって、配線溝42内及び凹部36内を完全に充填し得る膜厚で、金属膜39、33を全面に形成する。次に、CMP法によって、絶縁膜17の上面が露出するまでこれらの金属膜を研磨し、表面を平坦化する。以上の工程により、図55に示した構造が得られる。

【0114】このように本実施の形態9に係る半導体装置及びその製造方法によれば、配線部とプラグ部とを個別に形成するシングルダマシンプロセスを用いる場合であっても、複雑な工程を追加することなく多層配線構造内にMIM型キャパシタを形成することができ、上記実施の形態8と同様の効果を得ることができる。

【0115】実施の形態10。図60は、本発明の実施の形態10に係る半導体装置の構造を示す断面図である。図60に示した半導体装置は、図50に示した半導体装置を基礎として、MIM型キャパシタの構造を改良したものである。MIM型キャパシタの第1電極として機能する金属膜30、31は、それぞれ複数（図60に示した例では4つ）に分割されている。分割された複数の金属膜31は、第2層配線W2bに共通に接続されている。図60に示した半導体装置のその他の構造は、図50に示した半導体装置の構造と同様である。

【0116】図61は、本実施の形態10に係る半導体装置の製造方法における一工程を示す断面図である。図32に示した工程において一つの凹部35を形成する代わりに、複数の分割された凹部46を形成する。これにより、分割された複数の第1電極を、各凹部46内にそれぞれ形成することができる。

【0117】なお、MIM型キャパシタの第1電極を複数の分割するという本実施の形態10に係る発明は、上記実施の形態1～9、及び後述する実施の形態11～15のいずれに対しても適用することが可能である。

【0118】このように本実施の形態10に係る半導体装置及びその製造方法によれば、複雑な工程を追加することなく、ダマシンプロセスの途中で、多層配線構造内

にMIM型キャパシタを形成することができる。

【0119】また、MIM型キャパシタの第1電極が複数の分割されているため、分割された各第1電極の上面積が縮小される。従って、凹部46内を充填するように形成された金属膜30を研磨するCMP工程において、ディッシングを低減することができる。しかも、図60に示した構造では、金属膜44が形成されているため、第1電極を複数の分割しても、第1電極と第2電極との対向面積が小さくなることはなく、キャパシタ容量が低下することもない。

【0120】実施の形態11。図62は、本発明の実施の形態11に係る半導体装置の構造を示す上面図であり、図63は、本実施の形態11に係る半導体装置の他の構造を示す上面図である。また、図64は、図62、63に示した線分X1-X1に沿った位置に関する断面構造を示す断面図である。

【0121】図64を参照して、シリコン酸化膜から成る絶縁膜I2内には、デュアルダマシンプロセスによって形成された第2層配線W2が形成されている。また、絶縁膜I2の上面内には、MIM型キャパシタの第1電極として機能する金属膜50が形成されている。金属膜50の材質は銅である。絶縁膜I3は、絶縁膜14、51がこの順に第2配線層L2の上面上に積層された構造を有している。絶縁膜14の材質は Si_3N_4 、 SiC 等であり、絶縁膜14は、第2層配線W2及び金属膜50の酸化防止膜としての機能を有する。絶縁膜51の材質はシリコン酸化膜や SiOC 等である。

【0122】絶縁膜51内には、第3層配線W3a、W3bが形成されている。第3層配線W3aは、配線溝26及びコンタクトホール19内に形成された金属膜12、13を有しており、第3層配線W3bは、配線溝54及び深溝53内に形成された金属膜12、13を有している。配線溝54は、金属膜50の上方において、絶縁膜51の上面内に形成されている。深溝53は、配線溝54の底面から絶縁膜I2の上面内にまで延在して形成されている。図64に示した構造において、絶縁膜I2の上面から深溝53の底面までの深さは、絶縁膜I2の上面から金属膜50の底面までの深さに等しい。絶縁膜I2内に延在して形成されている部分の深溝53は、絶縁膜I2の一部である絶縁膜52を挟んで、金属膜50の側面に対向している。絶縁膜52は、絶縁膜I2と同じ材質（この例の場合はシリコン酸化膜）から成り、MIM型キャパシタのキャパシタ誘電体膜として機能する。また、第2配線層L2内において、深溝53内に形成されている部分の金属膜12、13は、MIM型キャパシタの第2電極として機能する。

【0123】金属膜12、13は、レイアウトによって、金属膜50の互いに対向する側面のうちのいずれか一方の側面のみに形成される場合もあるが、図62に示したように金属膜50の両側面に形成されている方が、

キャパシタの第1電極と第2電極とが互いに対向する面積を拡大できるため、キャパシタ容量を増大することができる。また、図63に示したように、金属膜50の周囲を取り囲むように金属膜12、13を形成することにより、図62に示した場合よりもキャパシタ容量をさらに増大することができる。

【0124】図65～68は、図64に示した本実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。図65を参照して、まず、デュアルダマシンプロセスによって、第2配線層L2の絶縁膜I2内に、第2層配線W2及び金属膜50を形成する。金属膜50は、絶縁膜I2の上面内に形成されている。次に、CVD法によって、30～100nm程度の膜厚の絶縁膜14を全面に形成する。次に、CVD法によって、0.7～3.0μm程度の膜厚の絶縁膜51を全面に形成する。

【0125】図66を参照して、次に、写真製版法及び異方性ドライエッチング法によって、絶縁膜51の上面から絶縁膜I2の上面内にまで延在する深溝53を、絶縁膜I2、14、51内に部分的に形成する。深溝53は、金属膜50の側面から絶縁膜52の幅の分だけ離れた箇所形成される。また、深溝53は、その底面の深さが金属膜50の底面の深さよりも浅くならないように形成される。

【0126】図67を参照して、次に、写真製版法及び異方性ドライエッチング法によって、コンタクトホール19を形成する。図68を参照して、次に、写真製版法及び異方性ドライエッチング法によって絶縁膜51をパターンニングすることにより、コンタクトホール19に部分的に重なる配線溝26と、深溝53に部分的に重なる配線溝54とを、絶縁膜51内に形成する。次に、全面エッチバック法によって、絶縁膜51から露出している部分の絶縁膜14を除去し、第2層配線W2の上面を露出する。

【0127】次に、スパッタリング法によって、金属膜13を全面に形成する。次に、メッキ法によって、コンタクトホール19内、深溝53内、及び配線溝26、54内を完全に充填し得る膜厚で、金属膜12を全面に形成する。次に、CMP法によって、絶縁膜51の上面が露出するまで金属膜12、13を研磨し、表面を平坦化する。以上の工程により、図64に示した構造が得られる。

【0128】このように本実施の形態1に係る半導体装置及びその製造方法によれば、上記実施の形態1と同様に、複雑な工程を追加することなく、デュアルダマシンプロセスの途中で、多層配線構造内にMIM型キャパシタを形成することができる。

【0129】また、本実施の形態1に係る半導体装置及びその製造方法によれば、第3配線層L3の配線溝26、54内を金属膜12、13によって埋め込む工程

(図69)において、深溝53内に金属膜12、13を併せて埋め込むことができる。即ち、MIM型キャパシタの第2電極の形成と、第3層配線W3a、W3bの形成とを、同一のCMP工程によって実現することができる。従って、第2電極の形成と第3層配線W3の形成とで別々のCMP工程が必要であった上記各実施の形態1～10と比較すると、製造工程数を削減することができる。

【0130】さらに、MIM型キャパシタの第1電極と第2電極とが同一平面内に形成されているため、第1電極と第2電極とを積層して形成する場合と比較すると、表面の平坦性に優れている。従って、多層配線構造内にMIM型キャパシタを形成した場合に、各配線層の表面に生じる段差を抑制することができる。

【0131】実施の形態12、図69は、本発明の実施の形態12に係る半導体装置の構造を示す断面図である。図64に示した上記実施の形態1に係る半導体装置との構造上の相違点は、絶縁膜I2の一部である絶縁膜52の代わりに、絶縁膜I2とは別の絶縁膜55が形成されている点である。絶縁膜55の材質は、絶縁膜I2の材質であるシリコン酸化膜よりも誘電率が高い材質、例えば Si_3N_4 、 SiC 、 Ta_2O_5 等である。絶縁膜55は、MIM型キャパシタのキャパシタ誘電体膜として機能する。本実施の形態12に係る半導体装置のその他の構造は、上記実施の形態1に係る半導体装置の構造と同様である。

【0132】図70～74は、図69に示した本実施の形態12に係る半導体装置の製造方法を工程順に示す断面図である。図70を参照して、まず、写真製版法及び異方性ドライエッチング法によって、絶縁膜I2の上面内に溝56を形成する。図71を参照して、次に、CVD法によって、溝56内を完全に充填し得る膜厚で、絶縁膜55を全面に形成する。次に、CMP法によって、絶縁膜I2の上面が露出するまで絶縁膜55を研磨し、表面を平坦化する。

【0133】図72を参照して、次に、デュアルダマシンプロセスによって、絶縁膜I2内に、第2層配線W2及び金属膜50を形成する。金属膜50は、互いに対向する絶縁膜55同士の間形成される。図73を参照して、次に、CVD法によって、絶縁膜14、51をこの順に全面に形成する。次に、写真製版法及び異方性ドライエッチング法によって、深溝53を、絶縁膜I2、14、51内に部分的に形成する。深溝53は、金属膜50とは反対側の絶縁膜55の側面が露出するように形成される。

【0134】図74を参照して、次に、写真製版法及び異方性ドライエッチング法によって、コンタクトホール19を形成する。次に、写真製版法及び異方性ドライエッチング法によって、配線溝26、54を形成する。次に、全面エッチバック法によって、絶縁膜51から露出

じている部分の絶縁膜14を除去し、第2層配線W2の上面を露出する。

【0135】次に、スパッタリング法によって、金属膜13を全面に形成する。次に、メッキ法によって、コンタクトホール19内、深溝53内、及び配線溝26、54内を完全に充填し得る膜厚で、金属膜12を全面に形成する。次に、CMP法によって、絶縁膜51の上面が露出するまで金属膜12、13を研磨し、表面を平坦化する。以上の工程により、図69に示した構造が得られる。

【0136】このように本実施の形態12に係る半導体装置及びその製造方法によれば、上記実施の形態1と同様に、複雑な工程を追加することなく、デュアルダマシンプロセスの途中で、多層配線構造内にMIM型キャパシタを形成することができる。

【0137】また、キャパシタ誘電体膜が、絶縁膜I2よりも誘電率が高い材質から成る絶縁膜55によって構成されているため、上記実施の形態11に係る半導体装置と比較すると、キャパシタ容量を増大することができる。

【0138】図75は、本実施の形態12の変形例に係る半導体装置の構造を示す断面図である。第2配線層L2内には第2層配線W2a、W2bが形成されている。第3配線層L3の上面内には、第3層配線W3と、MIM型キャパシタの第1電極として機能する金属膜56とが形成されている。金属膜56の側面には絶縁膜57が形成されている。絶縁膜57の材質は Si_3N_4 、 SiC 、 Ta_2O_3 等であり、絶縁膜57は、MIM型キャパシタのキャパシタ誘電体膜として機能する。深溝58は、絶縁膜I3の上面から第2層配線W2bの上面にまで延在して形成されている。深溝58の内部は金属膜12、13によって充填されている。絶縁膜57を挟んで金属膜56に対向する部分の金属膜12、13は、MIM型キャパシタの第2電極として機能する。図75に示した半導体装置は、図70～74に示した工程に基づいて、通常のデュアルダマシンプロセスによって製造することができる。図75に示した本実施の形態12の変形例に係る半導体装置及びその製造方法によっても、上記実施の形態12に係る効果と同様の効果を得ることができる。

【0139】実施の形態13. 本実施の形態13においては、MIM型キャパシタの第1電極の側面に形成されるキャパシタ誘電体膜（図69に示した絶縁膜55）の他の形成方法について説明する。図76は、本発明の実施の形態13に係る半導体装置の構造の一部を抜き出して示す断面図である。図69に示した絶縁膜55の代わりに、絶縁膜60が形成されている。絶縁膜60は、絶縁膜55と同様に、シリコン酸化膜よりも誘電率が高い材質から成る絶縁膜であり、MIM型キャパシタのキャパシタ誘電体膜として機能する。本実施の形態13に係る

半導体装置のその他の構造は、図69に示した上記実施の形態12に係る半導体装置の構造と同様である。

【0140】図77～80は、図76に示した構造の形成方法を工程順に示す断面図である。図77を参照して、まず、写真製版法及び異方性ドライエッチング法によって、絶縁膜I2の上面内に凹部61を形成する。図78を参照して、次に、CVD法によって、絶縁膜62を全面に形成する。具体的に、絶縁膜62は、絶縁膜I2の上面上と、凹部61の側面及び底面上とに形成される。絶縁膜62は、図76に示した絶縁膜60と同じ材質から成る絶縁膜である。

【0141】図79を参照して、次に、深さ方向にエッチングレートの高い異方性ドライエッチング法によって、絶縁膜62を全面エッチバックする。これにより、凹部61の側面に残る絶縁膜62として、絶縁膜60が形成される。図80を参照して、次に、写真製版法及び異方性ドライエッチング法によって、プラグ部P2に対応するコンタクトホール63を形成する。次に、写真製版法及び異方性ドライエッチング法によって、コンタクトホール63に部分的に重なる配線溝64を形成する。

【0142】次に、コンタクトホール63内、配線溝64内、及び凹部61内を完全に充填し得る膜厚で金属膜50を全面に形成する。ここで、金属膜50を形成する前にバリアメタルを全面に形成してもよい。次に、CMP法によって、絶縁膜I2の上面が露出するまで金属膜50を研磨し、表面を平坦化する。以上の工程により、図76に示した構造が得られる。

【0143】このように本実施の形態13に係る半導体装置及びその製造方法によれば、絶縁膜I2よりも誘電率が高い材質から成る絶縁膜60によってキャパシタ誘電体膜を形成することができるため、上記実施の形態12に係る半導体装置と同様に、上記実施の形態11に係る半導体装置よりもキャパシタ容量を増大できるという効果が得られる。

【0144】実施の形態14. 図81は、本発明の実施の形態14に係る半導体装置の構造を示す断面図である。深溝70は、配線溝54の底面から絶縁膜I2の上面内にまで延在して形成されている。絶縁膜I2内において、深溝70は、金属膜50の側面に接して形成されている。絶縁膜51内に形成されている部分の深溝70の孔径は、絶縁膜I2内に形成されている部分の孔径よりも大きい。深溝70の側面には、絶縁膜71が形成されている。絶縁膜71の材質は、絶縁膜I2の材質であるシリコン酸化膜よりも誘電率が高い材質、例えば Si_3N_4 、 SiC 、 Ta_2O_3 等である。金属膜50の側面に接触する部分の絶縁膜71は、MIM型キャパシタのキャパシタ誘電体膜として機能する。また、第2配線層L2内において、深溝70内に形成されている部分の金属膜12、13は、MIM型キャパシタの第2電極として機能する。本実施の形態14に係る半導体装置のその他

の構造は、上記実施の形態 11 に係る半導体装置の構造と同様である。

【0145】図 82～85 は、図 81 に示した本実施の形態 14 に係る半導体装置の製造方法を工程順に示す断面図である。まず、上記実施の形態 11 と同様の工程を経て、図 65 に示した構造を得る。図 82 を参照して、次に、写真製版法及び異方性ドライエッチング法によって、絶縁膜 51、14、12 内に深溝 70 を形成する。ここでの異方性ドライエッチングは、金属膜 50 に対して高い選択性を有する条件下で実行する。これにより、金属膜 50 の側面に接する深溝 70 を、絶縁膜 12 内に自己整合的に形成することができる。

【0146】図 83 を参照して、次に、CVD 法によって、絶縁膜 71 を全面に形成する。図 84 を参照して、次に、写真製版法及び異方性ドライエッチング法によって、コンタクトホール 19 を形成する。図 85 を参照して、次に、写真製版法及び異方性ドライエッチング法によって、配線溝 26、54 を形成する。次に、全面エッチバック法によって、絶縁膜 51 から露出している部分の絶縁膜 14 を除去し、第 2 層配線 W2 の上面を露出する。

【0147】次に、スパッタリング法によって、金属膜 13 を全面に形成する。次に、メッキ法によって、コンタクトホール 19 内、深溝 70 内、及び配線溝 26、54 内を完全に充填し得る膜厚で、金属膜 12 を全面に形成する。次に、CMP 法によって、絶縁膜 51 の上面が露出するまで金属膜 12、13 を研磨し、表面を平坦化する。以上の工程により、図 81 に示した構造が得られる。

【0148】このように本実施の形態 14 に係る半導体装置及びその製造方法によれば、上記実施の形態 1 と同様に、複雑な工程を追加することなく、デュアルダマシンプロセスの途中で、多層配線構造内に MIM 型キャパシタを形成することができる。

【0149】また、キャパシタ誘電体膜が、絶縁膜 12 よりも誘電率が高い材質から成る絶縁膜 71 によって構成されているため、上記実施の形態 11 に係る半導体装置と比較すると、キャパシタ容量を増大することができる。

【0150】さらに、図 86 に示すように、深溝 70 を形成するための写真製版工程においてフォトリソの位置ずれが生じる等して、深溝 70 の形成箇所がずれた場合であっても、キャパシタの両電極間の距離は変わらない（絶縁膜 71 の膜厚に等しい距離に保たれる）ので、キャパシタ容量が変動することを回避することができる。

【0151】実施の形態 15。図 87 は、本発明の実施の形態 15 に係る半導体装置の構造を示す断面図である。シリコン酸化膜から成る絶縁膜 12 内には、デュアルダマシンプロセスによって形成された第 2 層配線 W2

a、W2b が形成されている。第 2 層配線 W2a、W2b の材質は銅である。絶縁膜 13 は、絶縁膜 14～17 がこの順に第 2 配線層 L2 の上面上に積層された構造を有している。絶縁膜 14、16 の材質は Si_3N_4 、 SiC 等であり、絶縁膜 14 は、第 2 層配線 W2a、W2b の酸化防止膜としての機能を有し、絶縁膜 16 は、金属膜 82、83、86 の酸化防止膜としての機能を有する。

【0152】絶縁膜 14、15 内には、第 2 配線層 L2 の上面によって規定される底面を有する凹部 81 が形成されている。凹部 81 の側面及び底面上には金属膜 83 が形成されている。金属膜 83 の材質は銅であり、金属膜 83 は、MIM 型キャパシタの第 1 電極として機能する。金属膜 83 上には絶縁膜 84 が形成されている。絶縁膜 84 の材質は Si_3N_4 、 SiC 、 Ta_2O_5 等であり、絶縁膜 84 は、MIM 型キャパシタのキャパシタ誘電体膜として機能する。絶縁膜 84 上には金属膜 85 が形成されており、金属膜 85 上には金属膜 86 が形成されている。金属膜 85 の材質は TaN 、 Ta 、 TiN 等であり、金属膜 85 は、金属膜 86 のバリアメタルとして機能する。金属膜 86 の材質は銅である。金属膜 85、86 は、MIM 型キャパシタの第 2 電極として機能する。

【0153】絶縁膜 16、17 内には第 3 層配線 W3 が形成されている。また、絶縁膜 14、15 内には、第 3 層配線 W3 と第 2 層配線 W2a とを互いに接続するためのコンタクトホール 80 が形成されている。コンタクトホール 80 の内部は金属膜 82 によって充填されている。金属膜 82 の材質は銅である。図 87 において、コンタクトホール 80 の孔径は、第 2 層配線 W2a、W2b の各プラグ部 P2 の孔径よりも小さい。

【0154】図 88～93 は、図 87 に示した本実施の形態 15 に係る半導体装置の製造方法を工程順に示す断面図である。図 88 を参照して、まず、デュアルダマシンプロセスによって、第 2 配線層 L2 の絶縁膜 12 内に、第 2 層配線 W2a、W2b を形成する。次に、CVD 法によって、絶縁膜 14、15 をこの順に全面に形成する。図 89 を参照して、次に、写真製版法及び異方性ドライエッチング法によって、コンタクトホール 80 及び凹部 81 を、絶縁膜 14、15 内に形成する。コンタクトホール 80 の形成によって、第 2 層配線 W2a の上面の一部が露出し、凹部 81 の形成によって、第 2 層配線 W2b の上面が露出する。

【0155】図 90 を参照して、次に、メッキ法によって、コンタクトホール 80 内を完全に充填し得る膜厚で、金属膜 87 を全面に形成する。但し、CVD 法によって W、Pt、Ru 等の金属膜を形成してもよく、スパッタリング法によって Al 等の金属膜を形成してもよい。図 91 を参照して、次に、CVD 法によって、絶縁膜 84 を全面に形成する。次に、スパッタリング法によ

って、金属膜85を全面に形成する。次に、メッキ法によって、凹部81内を完全に充填し得る膜厚で、金属膜86を全面に形成する。図92を参照して、次に、CMP法によって、絶縁膜15の上面が露出するまで金属膜85~87及び絶縁膜84を研磨し、表面を平坦化する。図93を参照して、次に、CVD法によって、絶縁膜16, 17をこの順に全面に形成する。

【0156】次に、写真製版法及び異方性ドライエッチング法によって、絶縁膜16, 17内に配線溝26を形成する。次に、スパッタリング法によって、金属膜13を全面に形成する。次に、メッキ法によって、配線溝26内を完全に充填し得る膜厚で、金属膜12を全面に形成する。次に、CMP法によって、絶縁膜17の上面が露出するまで金属膜12, 13を研磨し、表面を平坦化する。以上の工程により、図87に示した構造が得られる。

【0157】このように本実施の形態15に係る半導体装置及びその製造方法によれば、上記実施の形態1と同様に、複雑な工程を追加することなく、ダマシンプロセスの途中で、多層配線構造内にMIM型キャパシタを形成することができる。

【0158】また、MIM型キャパシタの第1電極として機能する金属膜83は、凹部81の底面上のみならず側面にも形成されている。そのため、例えば上記実施の形態1に係る半導体装置と比較すると、第1電極と第2電極とが互いに対向する面積を拡大することができ、キャパシタ容量を増大することができる。

【0159】さらに、コンタクトホール80内を金属膜82によって充填する工程と、凹部81内に金属膜83を形成する工程とが、同一の工程によって実行されるため、これらの工程を別工程で実行する場合と比較すると、製造工程数を削減することができる。

【0160】

【発明の効果】この発明のうち請求項1に係るものによれば、第1電極は、凹部の底面上のみならず側面にも形成されている。そのため、第1電極と第2電極とが互いに対向する面積を拡大することができ、キャパシタ容量を増大することができる。

【0161】また、この発明のうち請求項2に係るものによれば、第1電極と第2電極とが互いに対向する面積をさらに拡大でき、キャパシタ容量をさらに増大することができる。

【0162】また、この発明のうち請求項3に係るものによれば、第1電極と第2電極との間にリークが発生することを抑制できる。

【0163】また、この発明のうち請求項4に係るものによれば、キャパシタの誘電体膜に高誘電率の膜を採用することにより、キャパシタ容量を増大することができる。

【0164】また、この発明のうち請求項5に係るもの

によれば、キャパシタの誘電体膜が第1の金属膜の酸化防止膜を兼用するため、これらの膜を個別に形成する場合と比較すると、製造工程数を削減することができる。

【0165】また、この発明のうち請求項6に係るものによれば、第1電極と第2電極とが同一平面内に形成されているため、第1電極と第2電極とを積層して形成する場合と比較すると、表面の平坦性に優れている。従って、多層配線構造内にMIM型キャパシタを形成した場合に、各配線層の表面に生じる段差を抑制することができる。

【0166】また、この発明のうち請求項7に係るものによれば、第2の金属膜は、第1の金属膜の互いに対向する側面にそれぞれ形成されているため、第1電極と第2電極とが互いに対向する面積を拡大でき、キャパシタ容量を増大することができる。

【0167】また、この発明のうち請求項8に係るものによれば、第1電極と第2電極との間にリークが発生することを抑制できる。

【0168】また、この発明のうち請求項9に係るものによれば、キャパシタの誘電体膜に高誘電率の膜を採用することにより、絶縁層の一部によって誘電体膜を構成する場合と比較すると、キャパシタ容量を増大することができる。

【0169】また、この発明のうち請求項10に係るものによれば、第2の金属膜は、第1の金属膜の周囲を取り囲んで形成されているため、第1電極と第2電極とが互いに対向する面積をさらに拡大でき、キャパシタ容量をさらに増大することができる。

【0170】また、この発明のうち請求項11に係るものによれば、第1電極と第2電極との間にリークが発生することを抑制できる。

【0171】また、この発明のうち請求項12に係るものによれば、誘電体膜は、第1の金属膜上に直接形成されるのではなく、第2の金属膜上に形成される。従って、誘電体膜として、第1の金属膜の酸化防止膜以外の膜を採用することができる。

【0172】しかも、第1の金属膜が複数に分割されているため、分割された各第1の金属膜の上面積が縮小される。従って、CMP工程において、ディッシングを低減することができる。

【0173】また、この発明のうち請求項13に係るものによれば、第2の金属膜がバリア膜として機能するため、誘電体膜として、第1の金属膜の酸化防止膜よりも誘電率の高い材質から成る絶縁膜を採用することができる。その結果、キャパシタ容量を増大することができる。

【0174】また、この発明のうち請求項14に係るものによれば、キャパシタの誘電体膜に高誘電率の膜を採用することにより、キャパシタ容量を増大することができる。

【0175】また、この発明のうち請求項15に係るものによれば、キャパシタの誘電体膜が第1の金属膜の酸化防止膜を兼用するため、これらの膜を個別に形成する場合と比較すると、製造工程数を削減することができる。

【0176】また、この発明のうち請求項16に係るものによれば、複雑な工程を追加することなく、ダマシンプロセスの途中で、多層配線構造内にMIM型キャパシタを形成することができる。

【0177】また、この発明のうち請求項17に係るものによれば、複雑な工程を追加することなく、ダマシンプロセスの途中で、多層配線構造内にMIM型キャパシタを形成することができる。

【0178】しかも、キャパシタ誘電体膜の膜厚が工程(c)における成膜膜厚に完全に等しくなるため、キャパシタ誘電体膜の膜厚の変動を抑制でき、キャパシタ容量のばらつきの少ない高性能のキャパシタを得ることができる。

【0179】また、この発明のうち請求項18に係るものによれば、複雑な工程を追加することなく、ダマシンプロセスの途中で、多層配線構造内にMIM型キャパシタを形成することができる。

【0180】しかも、第1の金属膜が、凹部の底面上のみならず側面にも形成されるため、第1電極と第2電極とが互いに対向する面積を拡大することができ、キャパシタ容量を増大することができる。

【0181】また、この発明のうち請求項19に係るものによれば、第1電極と第2電極とが互いに対向する面積をさらに拡大でき、キャパシタ容量をさらに増大することができる。

【0182】また、この発明のうち請求項20に係るものによれば、第1の金属電極の酸化防止膜と、キャパシタの誘電体膜とを兼用するため、これらの膜を個別に形成する場合と比較すると、製造工程数を削減することができる。

【0183】しかも、工程(c-2)で凹部を形成するためのエッチングを行う際に、所定の膜をエッチングストップとして用いる。従って、工程(c-2)におけるエッチングのオーバーエッチによって誘電体膜の一部が除去されることを回避できるため、キャパシタ容量のばらつきの少ない高性能のキャパシタを得ることができる。

【0184】また、この発明のうち請求項21に係るものによれば、第1の金属電極が複数に分割されて形成されるため、分割された各第1の金属電極の上面積が縮小される。従って、工程(a-3)でCMPを実行する際に、ディッシングを低減することができる。

【0185】また、この発明のうち請求項22に係るものによれば、誘電体膜は、第1の金属電極上に直接形成されるのではなく、拡散バリア膜上に形成される。従っ

て、誘電体膜として、第1の金属電極の酸化防止膜以外の膜を採用することができる。例えば、酸化防止膜よりも誘電率の高い材質から成る絶縁膜を採用することにより、キャパシタ容量を増大することができる。

【0186】しかも、第1の金属電極が複数に分割されて形成されるため、分割された各第1の金属電極の上面積が縮小される。従って、工程(a-3)でCMPを実行する際に、ディッシングを低減することができる。

【0187】また、この発明のうち請求項23に係るものによれば、工程(d-2)で凹部を形成するためのエッチングを行う際に、所定の膜をエッチングストップとして用いる。従って、工程(d-2)におけるエッチングのオーバーエッチによって誘電体膜の一部が除去されることを回避できるため、キャパシタ容量のばらつきの少ない高性能のキャパシタを得ることができる。

【0188】また、この発明のうち請求項24に係るものによれば、複雑な工程を追加することなく、ダマシンプロセスの途中で、多層配線構造内にMIM型キャパシタを形成することができる。

【0189】しかも、第1電極と第2電極とが同一平面内に形成されているため、第1電極と第2電極とを積層して形成する場合と比較すると、表面の平坦性に優れている。従って、多層配線構造内にMIM型キャパシタを形成した場合に、各配線層の表面に生じる段差を抑制することができる。

【0190】また、この発明のうち請求項25に係るものによれば、第2の配線層の配線溝内を金属膜で充填する工程において、延在部内を金属膜で併せて充填することができる。即ち、MIM型キャパシタの第2の金属電極の形成と、第2の配線層における配線の形成とを、同一の工程によって実現することができる。従って、これらの工程を別々に実行する場合と比較すると、製造工程数を削減することができる。

【0191】また、この発明のうち請求項26に係るものによれば、第1の絶縁層とは異なる材質で誘電体膜を形成することができるため、第1の絶縁層よりも誘電率が高い材質によって誘電体膜を形成することにより、キャパシタ容量を増大することができる。

【0192】また、この発明のうち請求項27に係るものによれば、第1の絶縁層とは異なる材質で誘電体膜を形成することができるため、第1の絶縁層よりも誘電率が高い材質によって誘電体膜を形成することにより、キャパシタ容量を増大することができる。

【0193】また、この発明のうち請求項28に係るものによれば、第1の絶縁層とは異なる材質で誘電体膜を形成することができるため、第1の絶縁層よりも誘電率が高い材質によって誘電体膜を形成することにより、キャパシタ容量を増大することができる。

【0194】また、この発明のうち請求項29に係るものによれば、キャパシタ容量を増大することができる。

【0195】また、この発明のうち請求項30に係るものによれば、第2の金属電極は、第1の金属電極の対向する側面にそれぞれ形成されるため、第1の金属電極と第2の金属電極とが互いに対向する面積を拡大でき、キャパシタ容量を増大することができる。

【0196】また、この発明のうち請求項31に係るものによれば、第2の金属電極は、第1の金属電極の周囲を取り囲んで形成されるため、第1の金属電極と第2の金属電極とが互いに対向する面積をさらに拡大でき、キャパシタ容量をさらに増大することができる。

【図面の簡単な説明】

【図1】 BEO工程で形成されたMIM型キャパシタを備える半導体装置の構造を示す断面図である。

【図2】 本発明の実施の形態1に係る半導体装置の構造を示す断面図である。

【図3】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図4】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図5】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図6】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図7】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図8】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図9】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図10】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図11】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図12】 本発明の実施の形態2に係る半導体装置の構造を示す断面図である。

【図13】 本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図14】 本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図15】 本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図16】 本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図17】 本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図18】 本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図19】 本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図20】 本発明の実施の形態2に係る半導体装置の

製造方法を工程順に示す断面図である。

【図21】 本発明の実施の形態3に係る半導体装置の構造を示す断面図である。

【図22】 本発明の実施の形態3に係る半導体装置の製造方法を工程順に示す断面図である。

【図23】 本発明の実施の形態3に係る半導体装置の製造方法を工程順に示す断面図である。

【図24】 本発明の実施の形態3に係る半導体装置の製造方法を工程順に示す断面図である。

【図25】 本発明の実施の形態3に係る半導体装置の製造方法を工程順に示す断面図である。

【図26】 本発明の実施の形態3に係る半導体装置の製造方法を工程順に示す断面図である。

【図27】 本発明の実施の形態3に係る半導体装置の製造方法を工程順に示す断面図である。

【図28】 本発明の実施の形態4に係る半導体装置の構造を示す断面図である。

【図29】 本発明の実施の形態4に係る半導体装置の製造方法における一工程を示す断面図である。

【図30】 本発明の実施の形態5に係る半導体装置の構造を示す断面図である。

【図31】 本発明の実施の形態5に係る半導体装置の製造方法を工程順に示す断面図である。

【図32】 本発明の実施の形態5に係る半導体装置の製造方法を工程順に示す断面図である。

【図33】 本発明の実施の形態5に係る半導体装置の製造方法を工程順に示す断面図である。

【図34】 本発明の実施の形態5に係る半導体装置の製造方法を工程順に示す断面図である。

【図35】 本発明の実施の形態5に係る半導体装置の製造方法を工程順に示す断面図である。

【図36】 本発明の実施の形態5に係る半導体装置の製造方法を工程順に示す断面図である。

【図37】 本発明の実施の形態5に係る半導体装置の製造方法を工程順に示す断面図である。

【図38】 本発明の実施の形態5に係る半導体装置の製造方法を工程順に示す断面図である。

【図39】 本発明の実施の形態6に係る半導体装置の構造を示す断面図である。

【図40】 本発明の実施の形態6に係る半導体装置の製造方法を工程順に示す断面図である。

【図41】 本発明の実施の形態6に係る半導体装置の製造方法を工程順に示す断面図である。

【図42】 本発明の実施の形態6に係る半導体装置の製造方法を工程順に示す断面図である。

【図43】 本発明の実施の形態6に係る半導体装置の製造方法を工程順に示す断面図である。

【図44】 本発明の実施の形態6に係る半導体装置の製造方法を工程順に示す断面図である。

【図45】 本発明の実施の形態7に係る半導体装置の

の製造方法を工程順に示す断面図である。

【図 7 1】 本発明の実施の形態 1 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 7 2】 本発明の実施の形態 1 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 7 3】 本発明の実施の形態 1 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 7 4】 本発明の実施の形態 1 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 75】 本発明の実施の形態 12 の変形例に係る半導体装置の構造を示す断面図である。

【図 7 6】 本発明の実施の形態 1 3 に係る半導体装置の構造の一部を抜き出して示す断面図である。

【図 77】 図 76 に示した構造の形成方法を工程順に示す断面図である。

【図 78】 図 76 に示した構造の形成方法を工程順に示す断面図である。

【図 7 9】 図 7 6 に示した構造の形成方法を工程順に示す断面図である。

【図 80】 図 76 に示した構造の形成方法を工程順に示す断面図である。

【図 8 1】 本発明の実施の形態 1 4 に係る半導体装置の構造を示す断面図である。

【図 8 2】 本発明の実施の形態 1 4 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 8 3】 本発明の実施の形態 1 4 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 8 4】 本発明の実施の形態 1 4 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 8 5】 本発明の実施の形態 1 4 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 86】 本発明の実施の形態 14 に係る半導体装置の製造方法の一工程を示す断面図である。

【図 87】 本発明の実施の形態 15 に係る半導体装置の構造を示す断面図である。

【図 88】 本発明の実施の形態 15 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 89】 本発明の実施の形態 15 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 90】 本発明の実施の形態 15 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 9 1】 本発明の実施の形態 15 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 9 2】 本発明の実施の形態 15 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 9 3】 本発明の実施の形態 15 に係る半導体装置の製造方法を工程順に示す断面図である。

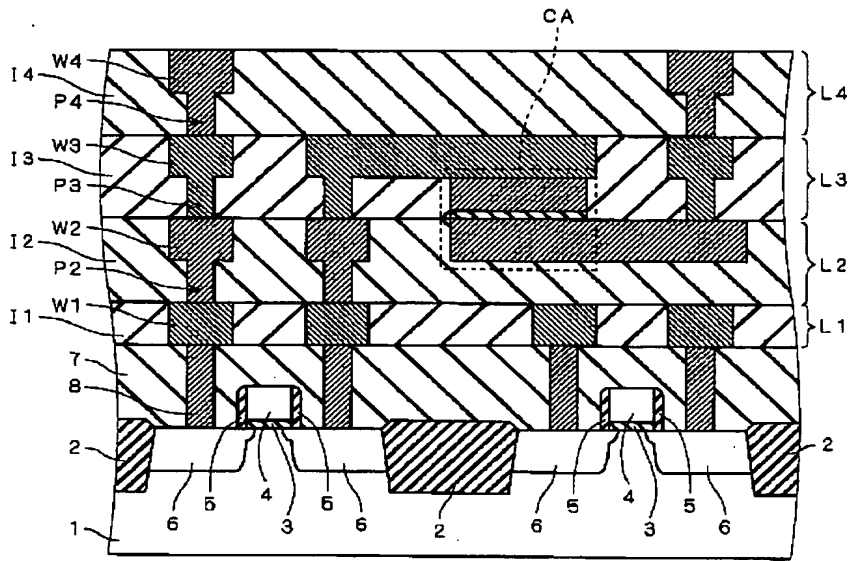
【図94】 キャパシタを備える従来の半導体装置の構造を示す断面図である。

【符号の説明】

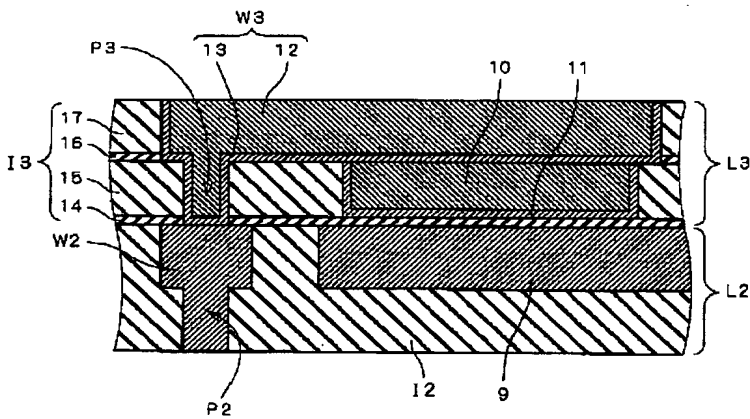
9~13, 21~23, 25, 30, 31, 33, 34, 37~40, 44, 50, 82, 83, 85~87
 金属膜、14~17, 16a, 32, 45, 51, 52, 55, 57, 60, 62, 71, 84, I2, I3
 絶縁膜、W2, W2a, W2b 第2層配線、W3、

W3a, W3b 第3層配線、18, 24, 27, 28, 35, 36, 46, 61, 81 凹部、19, 41, 63, 80コンタクトホール、20, 26, 42, 54, 64 配線溝、53, 58, 70 深溝、56溝。

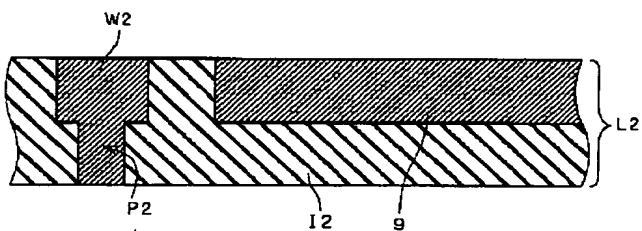
【図1】



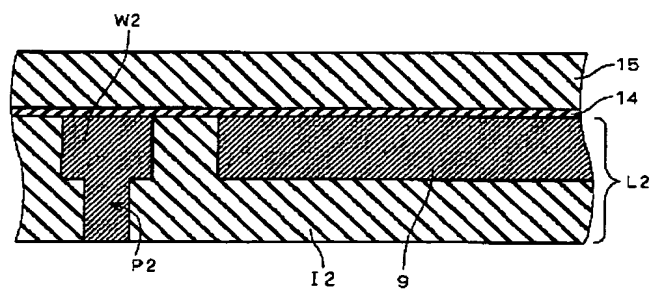
【図2】



【図3】

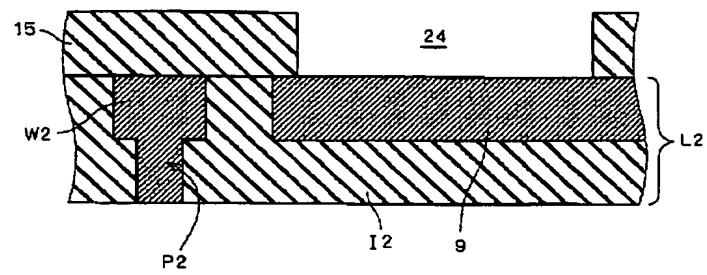


【図4】

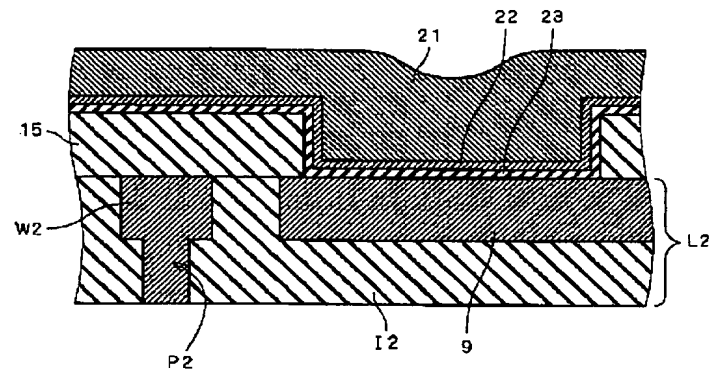


A detailed cross-sectional diagram of a semiconductor device. The structure consists of several stacked layers and regions. On the left, a vertical stack of layers is labeled I3, with individual layers numbered 17, 16, 15, and 14 from top to bottom. Below layer 14 is a region labeled W2. To the right of W2 is a large rectangular region labeled 20. Within or adjacent to region 20 are other labeled areas: 19 at the top left corner, 10 and 11 as horizontal layers within the upper part of 20, 12 as a horizontal layer below 10 and 11, and 9 as a large area at the bottom. On the far right, two groups of layers are indicated by brackets and labeled L3 (top group) and L2 (bottom group). At the bottom center, there is a small rectangular feature labeled P2.

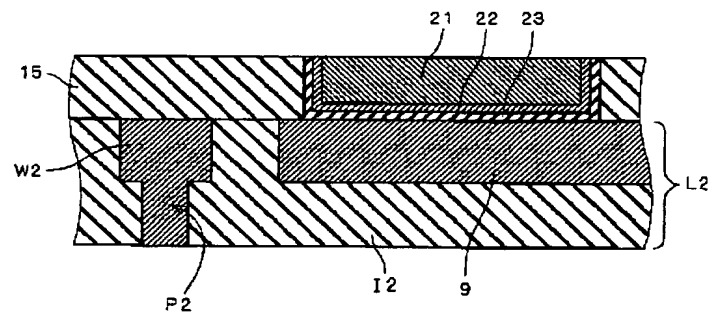
【図 14】



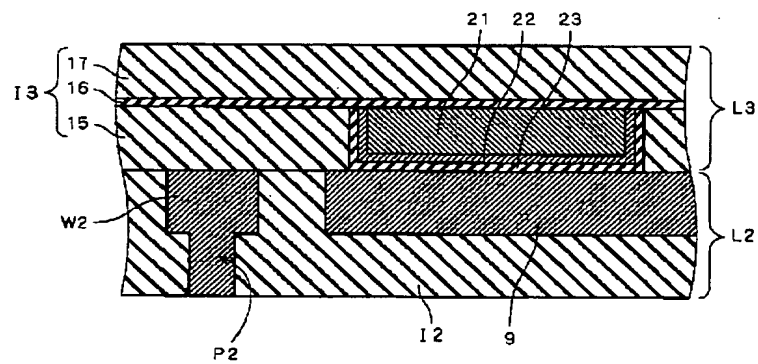
【図 15】



【図 16】



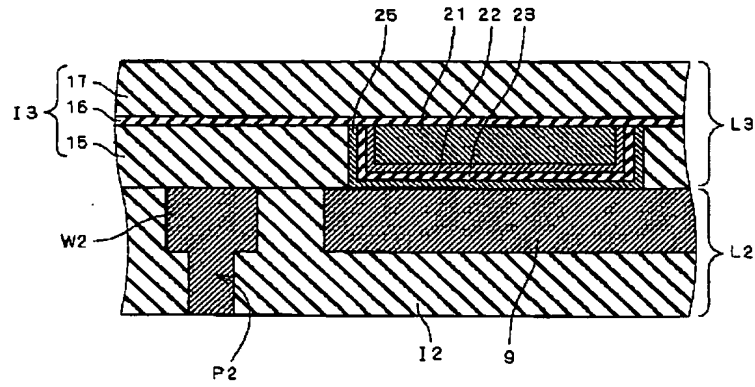
【図 17】



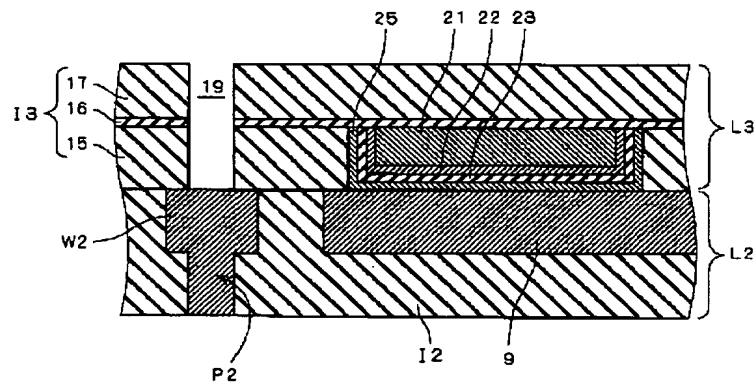
[illegible]

[illegible][illegible][illegible]

【図24】



【図25】



【図26】

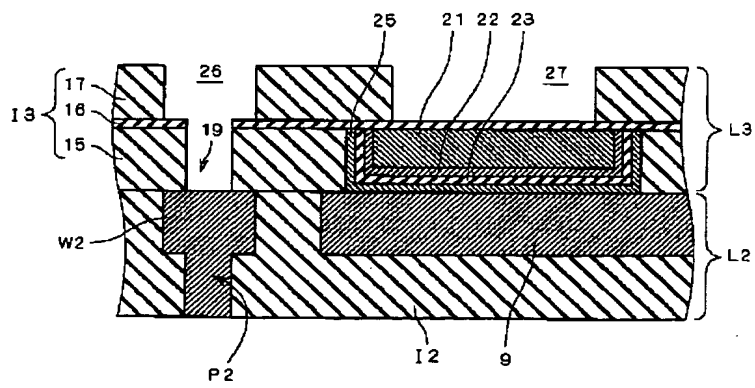
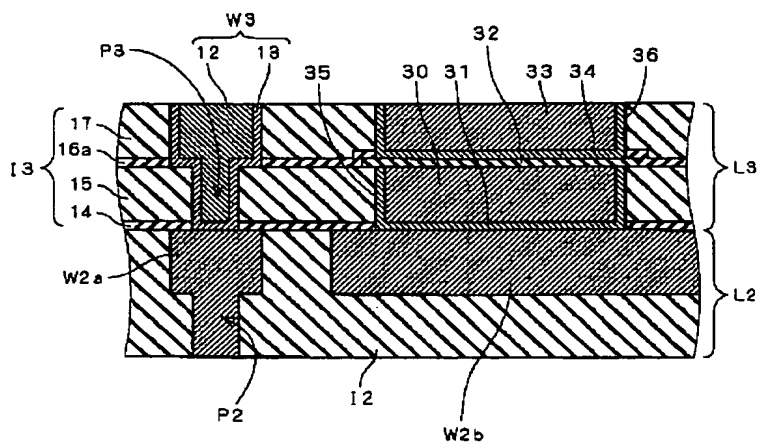
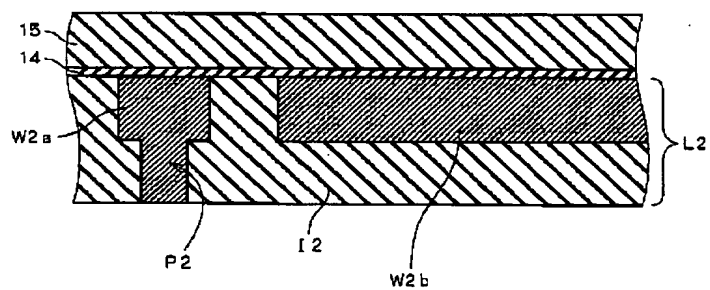


Fig. 9 is a cross-sectional view of a semiconductor device. It shows a substrate with a central layer L2 and outer layers L1 and L3. The device features a series of vertical structures (12, 13, 21, 22, 23) and horizontal structures (15, 16, 17) forming a grid-like pattern. Labels include P3, W3a, W3b, I3, L3, L2, W2, P2, I2, and 9.

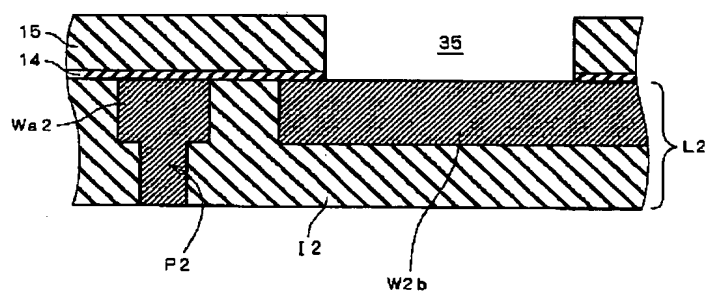
【図 30】



【图 3 1】

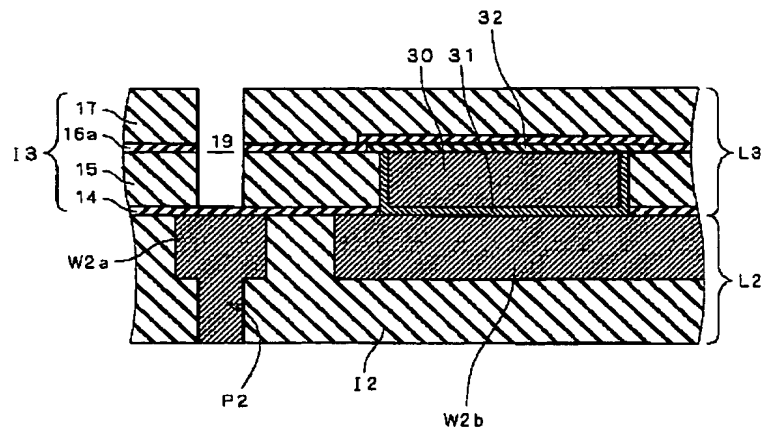


【图 3 2】

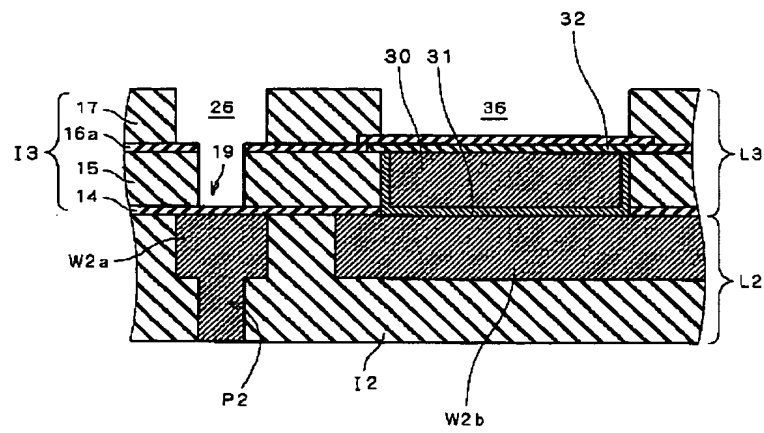


[illegible]

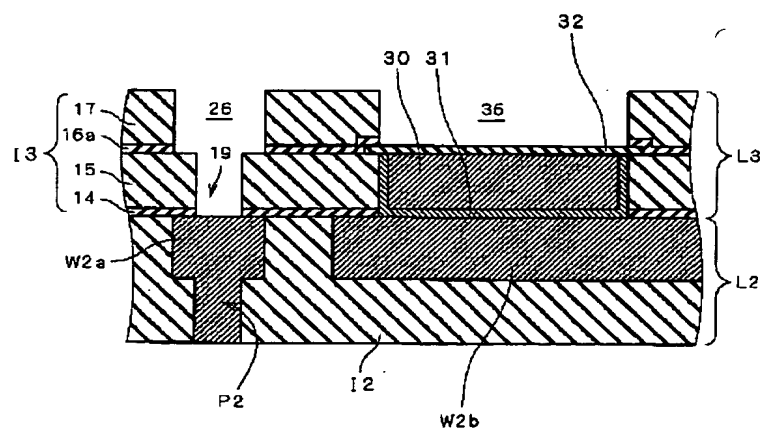
【図 36】



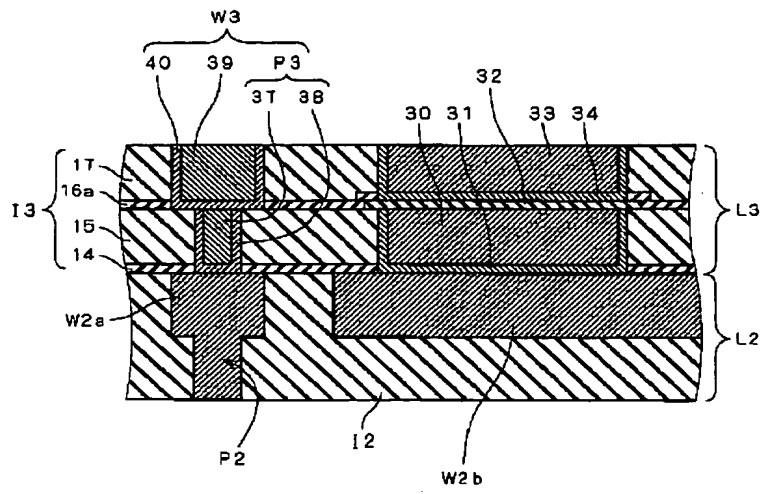
【図 37】



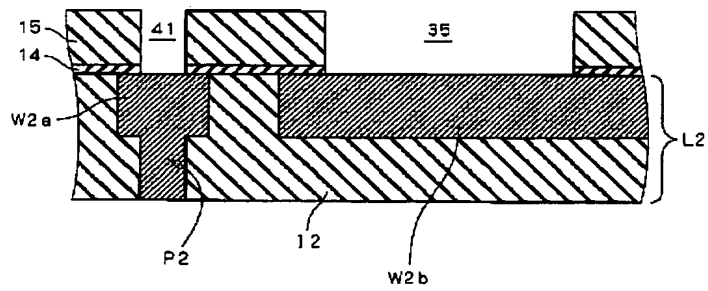
【図 38】



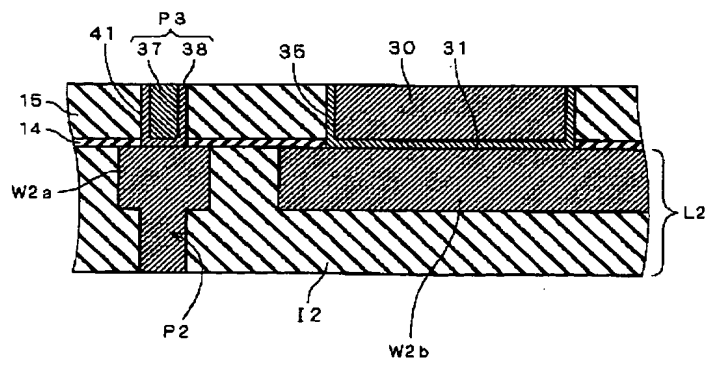
【图 3 9】



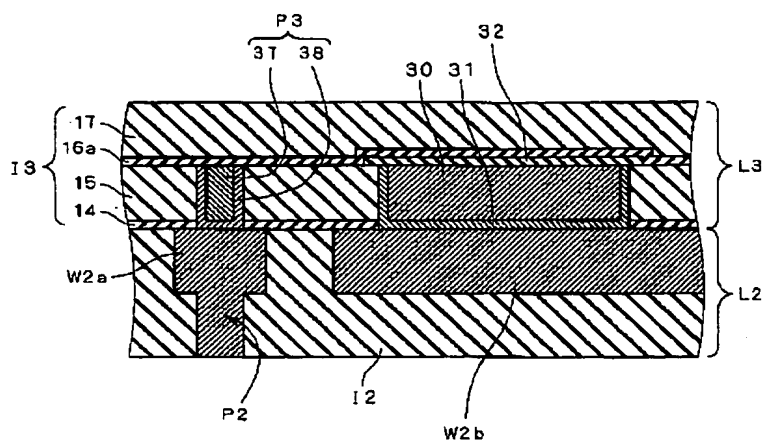
【図 40】



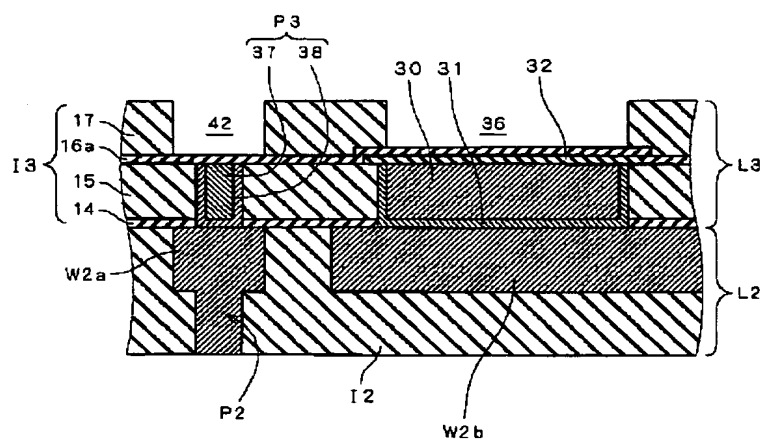
【図 4 1】



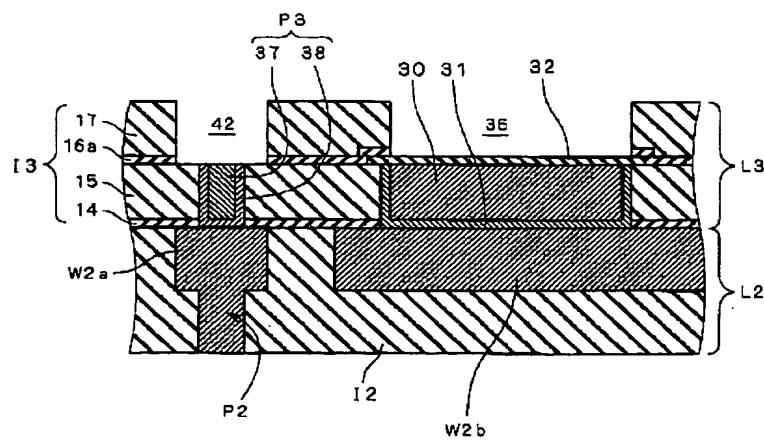
【図 4 2】



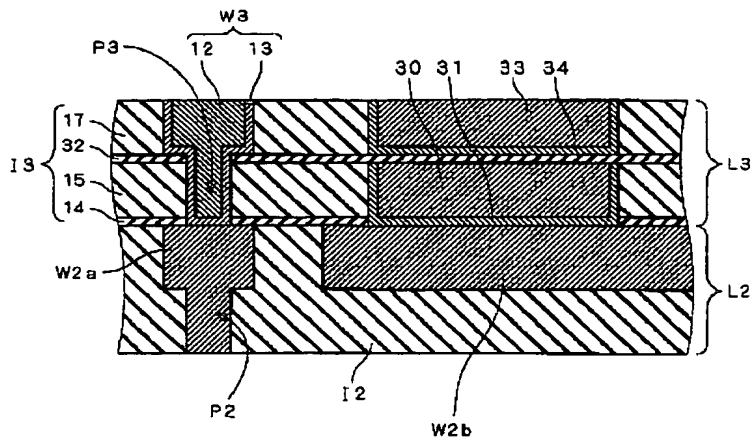
【図 4 3】



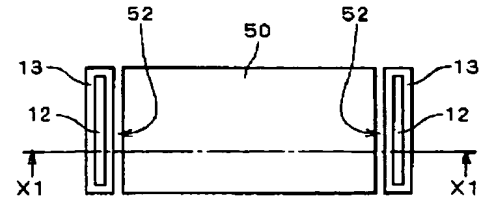
【図 4 4】



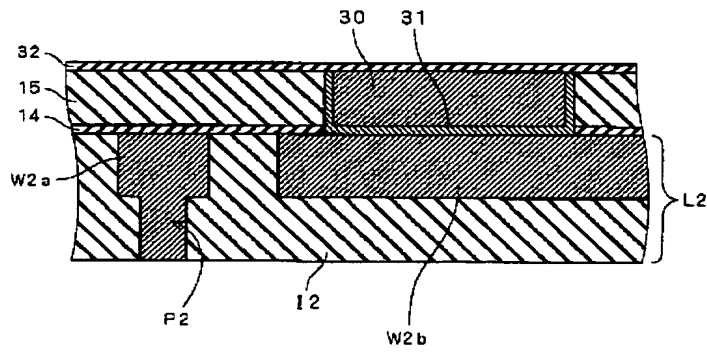
【図 4 5】



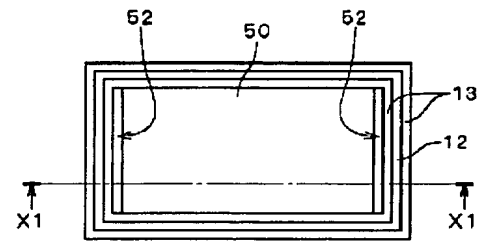
【図 6 2】



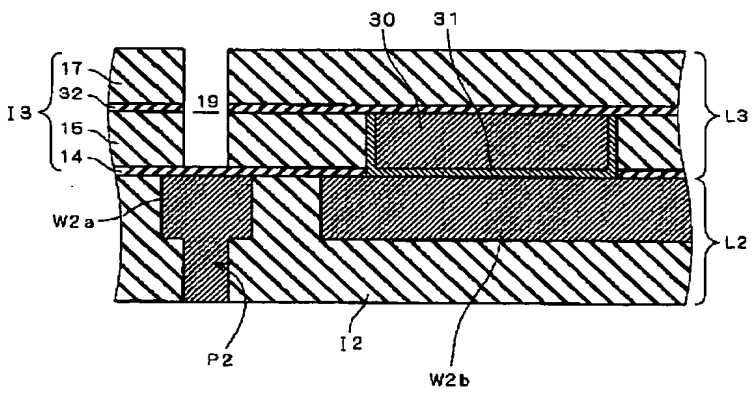
【図 4 6】



【図 6 3】



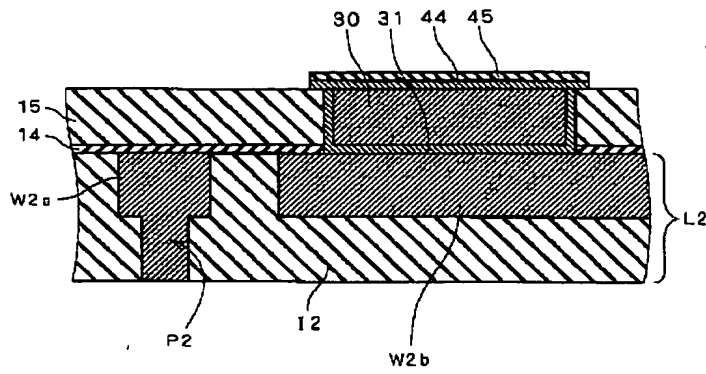
【図 4 7】



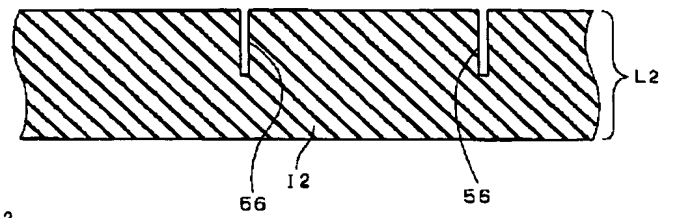
[illegible]

A detailed cross-sectional diagram of a semiconductor device. The structure consists of several horizontal layers. From top to bottom, there are three main regions labeled I1, I2, and I3. Region I1 contains layers 17, 16a, 16, and 14. Region I2 contains layer W2a. Region I3 contains layers 30, 31, 44, 45, 33, and 34. On the left side, there are two vertical structures labeled P2 and P3. P2 is located at the bottom of region I1 and extends through region I2. P3 is located above P2 and extends through regions I1 and I2. A bracket labeled W3 groups layers 12 and 13, which are part of the upper structure. Another bracket labeled W2b points to the lower part of region I2. Various hatching patterns are used to distinguish different materials or doped regions.

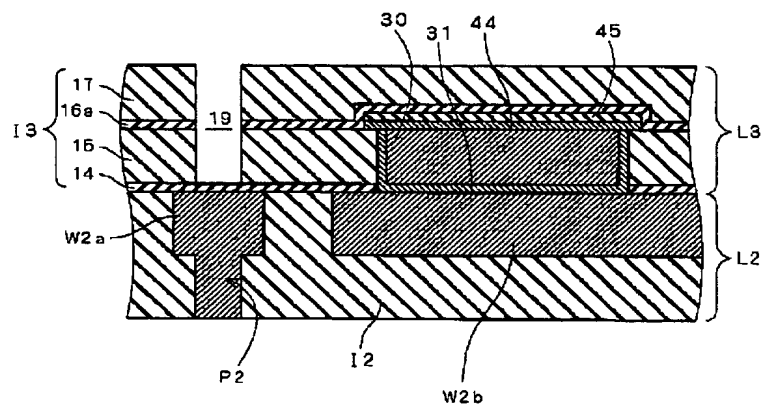
【図 5 1】



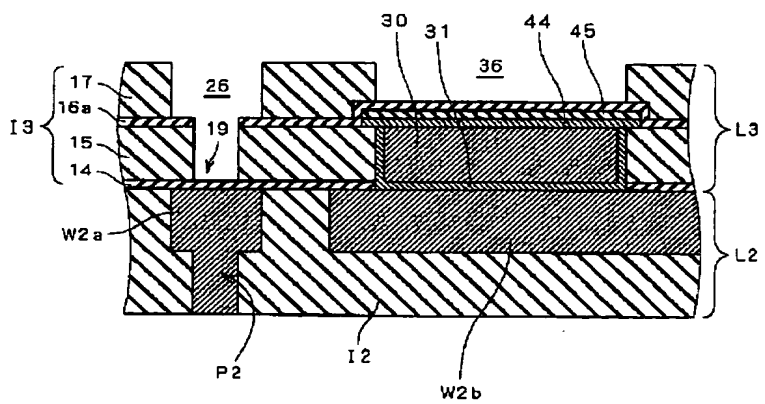
【図 7 0】



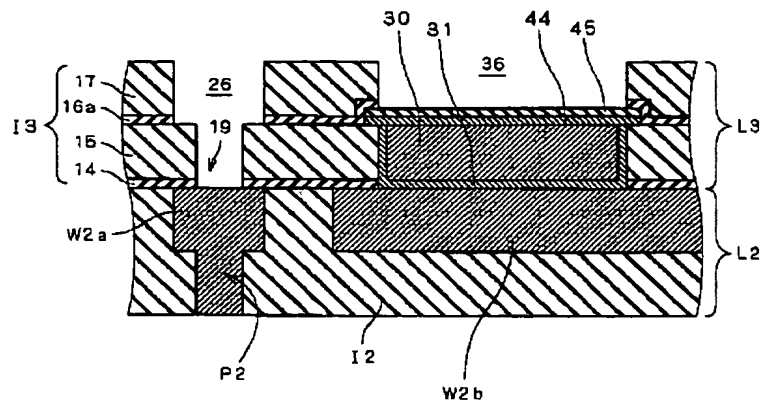
【図 5 2】



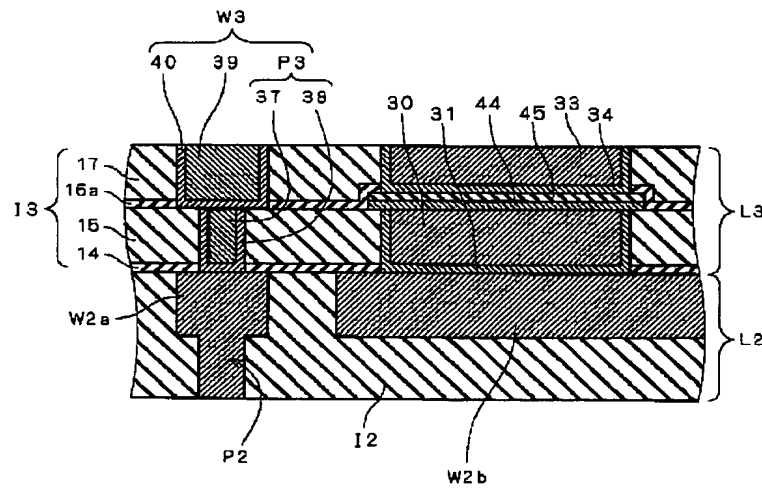
【図 5 3】



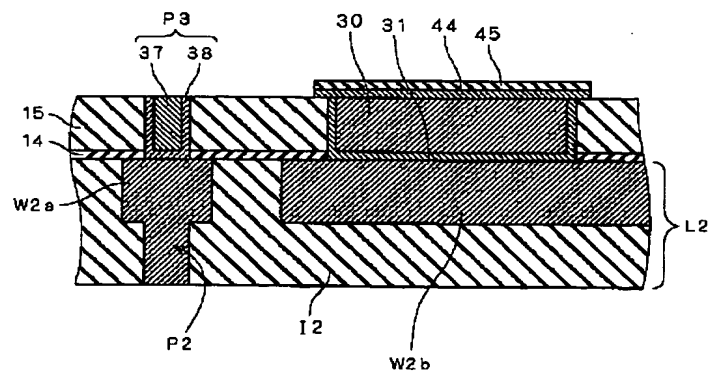
【図 54】



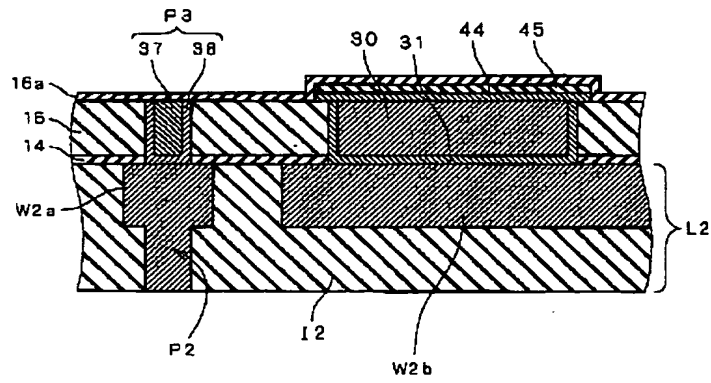
【図 55】



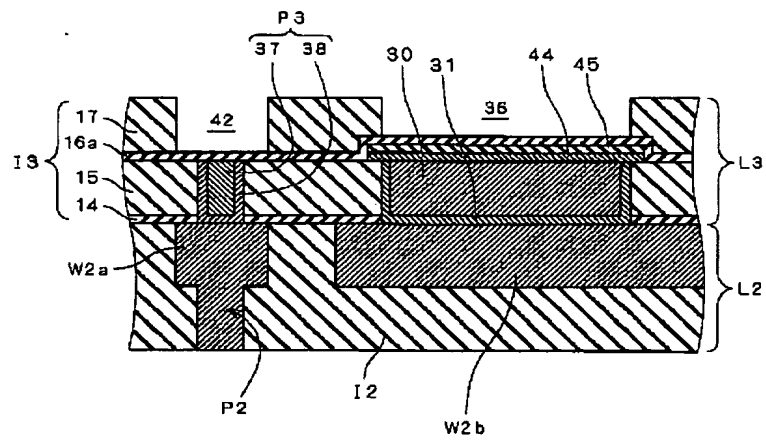
【図 56】



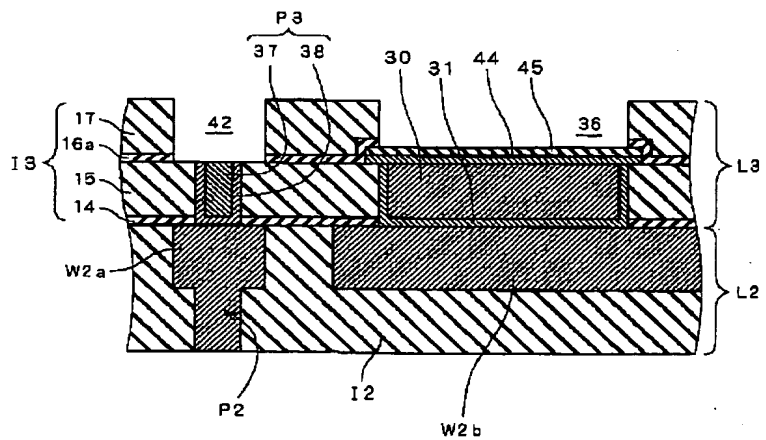
【図 57】



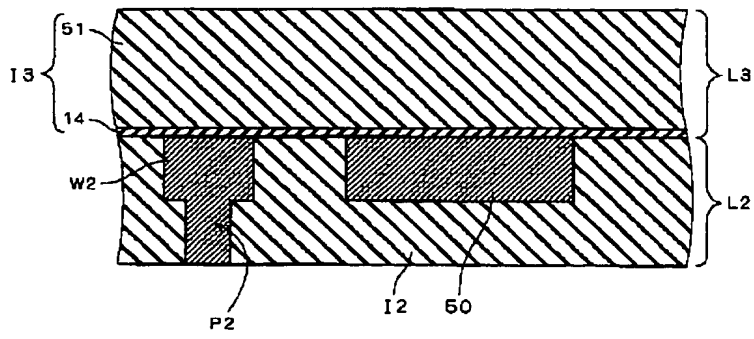
【図 58】



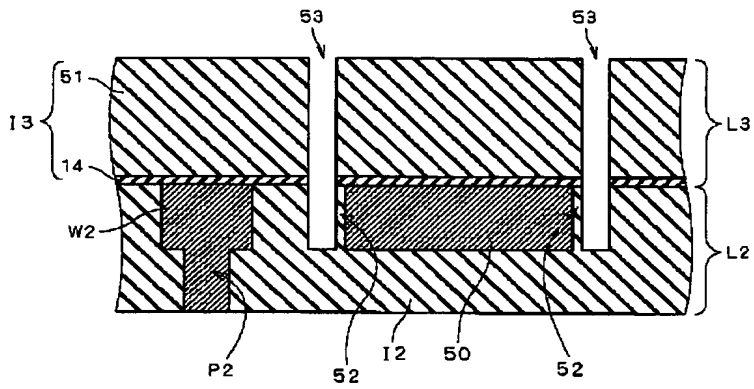
【図 59】



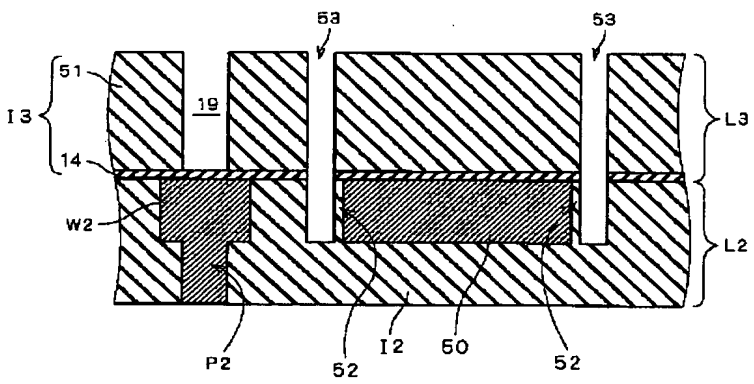
【図 6 5】



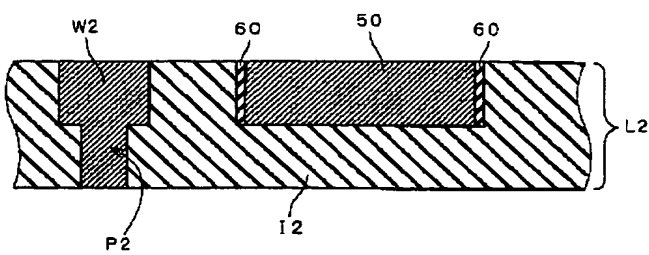
【図 6 6】



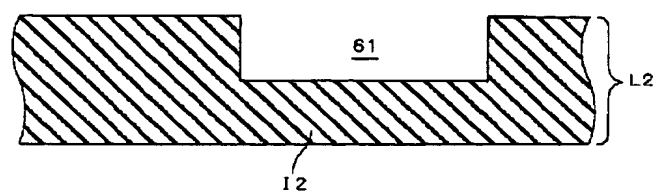
【図 6 7】



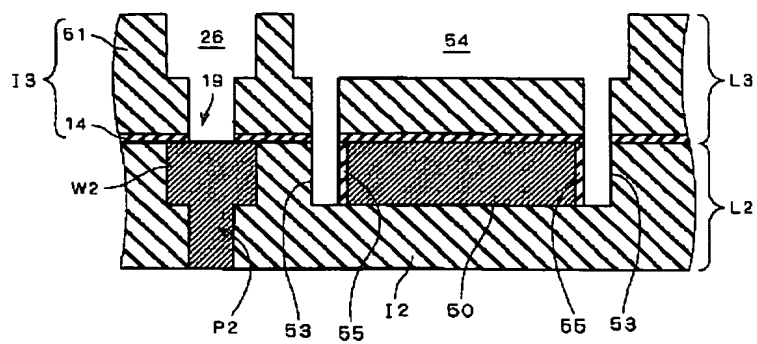
【図 7 6】



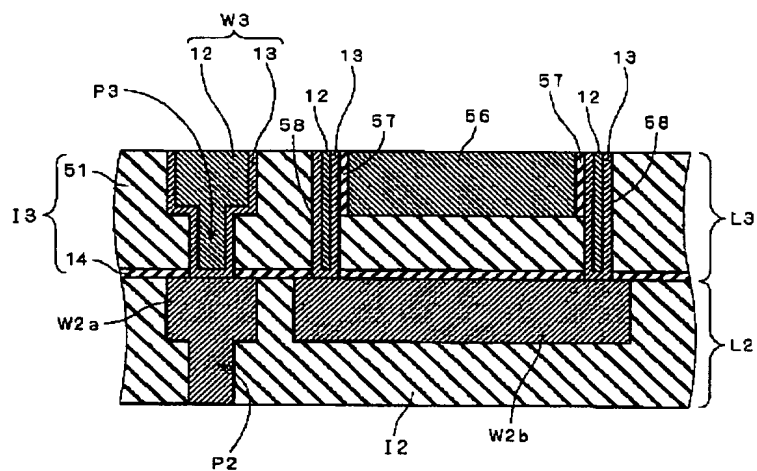
【図 7 7】



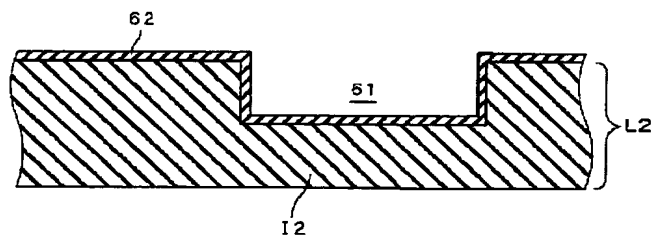
【图 7 4】



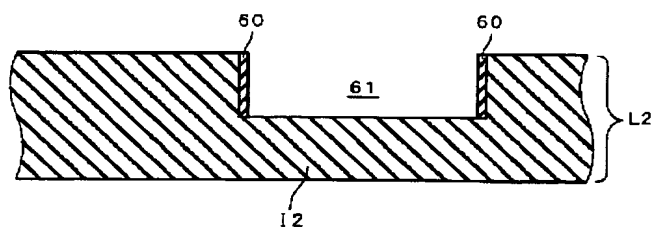
【图 7 5】



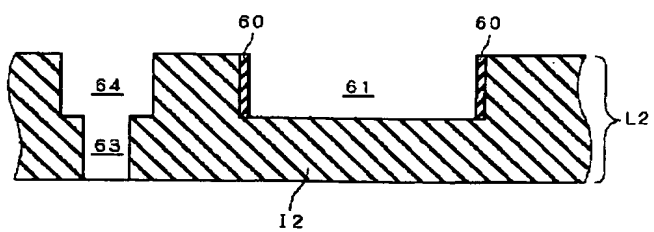
【图 78】



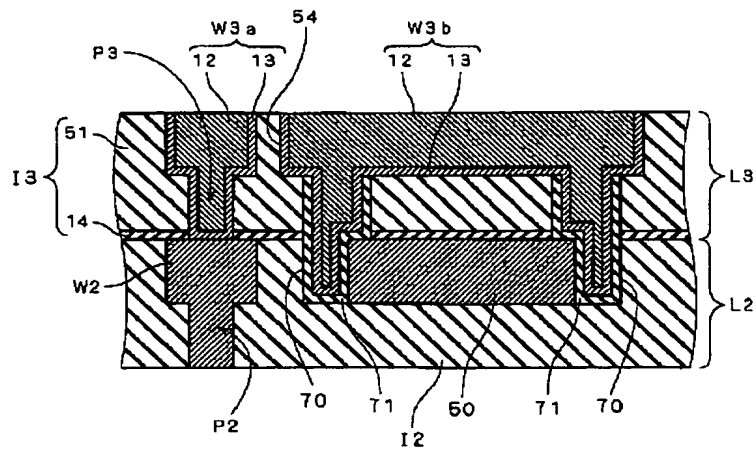
【图 7 9】



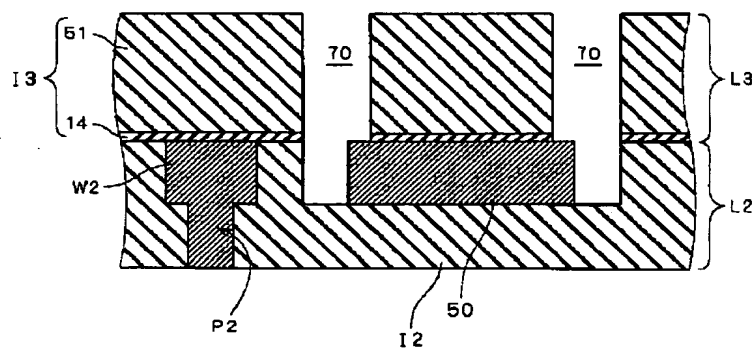
【図 80】



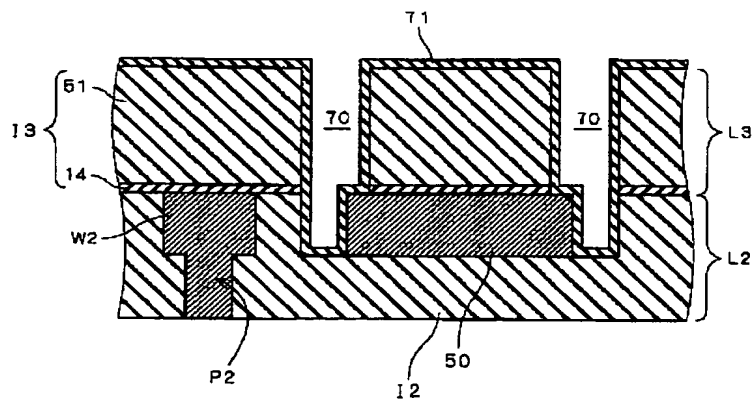
【図 8 1】



【図 8 2】

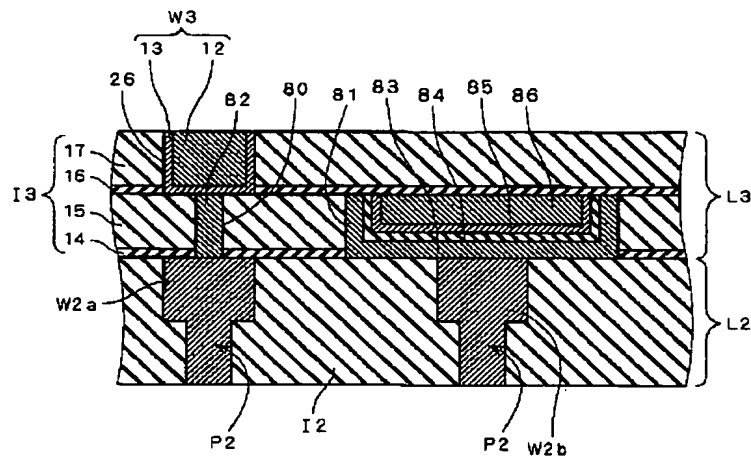


【図 8 3】

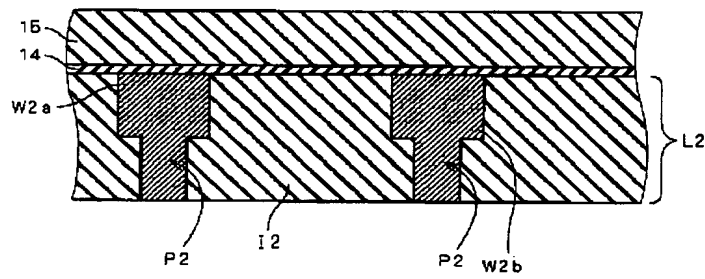


A cross-sectional diagram of a semiconductor device. It shows two main horizontal layers labeled L2 and L3. Layer L2 is the bottom layer and contains a base material 50. Within this layer, there are several rectangular openings or recesses, some of which are filled with a different material, indicated by diagonal hatching and labeled 70 and 71. Two larger rectangular blocks, labeled W2 and P2, sit on top of the L2 layer. Layer L3 is positioned above L2 and contains two vertical structures, 51 and 54. An arrow labeled 19 points to a narrow gap or channel between these two structures. The entire assembly is shown in a perspective view.

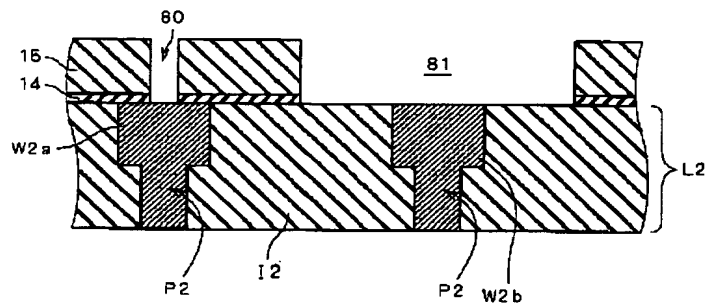
【図 87】



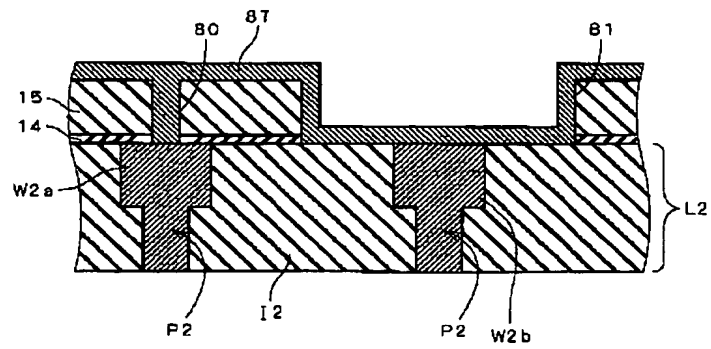
【図 88】



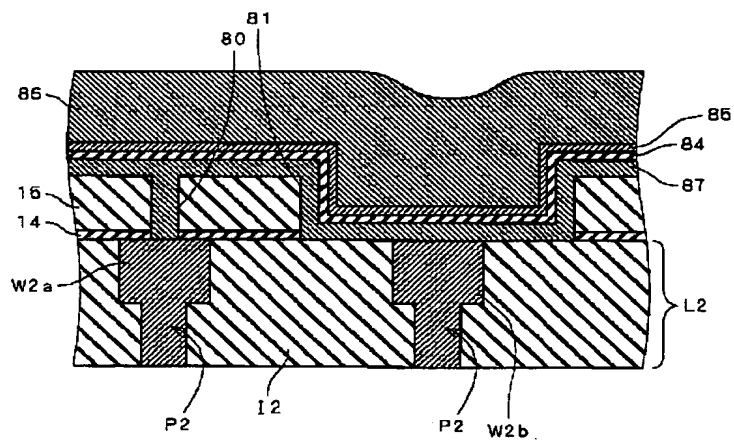
【図 89】



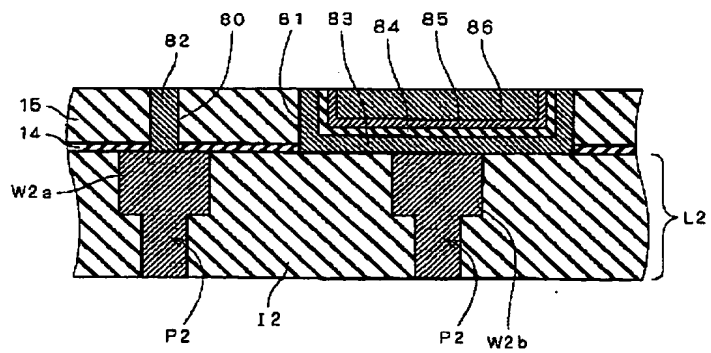
【図 90】



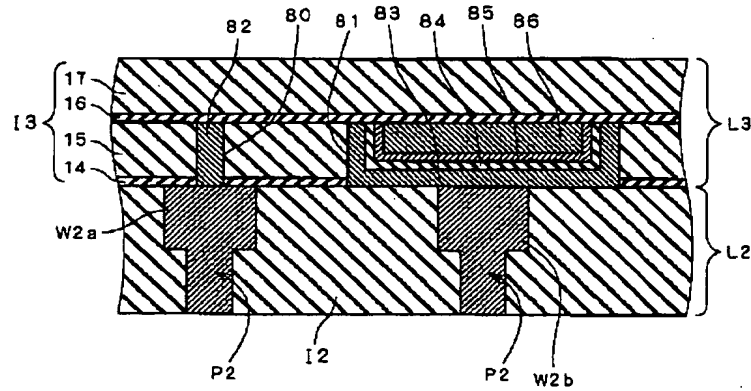
【図 91】



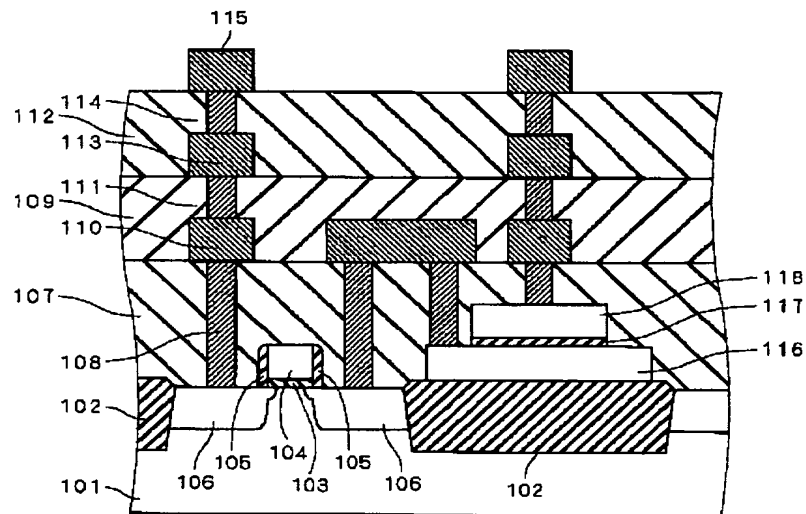
【図 92】



【図 93】



【図 94】



フロントページの続き

(72)発明者 松本 雅弘
東京都千代田区丸の内二丁目 2 番 3 号 三
菱電機株式会社内

F ターム(参考) 5F033 HH11 HH21 HH32 HH33 JJ01
JJ11 JJ21 JJ32 JJ33 KK08
KK11 KK19 KK21 KK32 KK33
MM02 MM12 MM13 NN06 NN07
PP15 PP26 QQ09 QQ16 QQ25
QQ31 QQ48 RR01 RR03 RR04
RR06 SS11 TT02 VV10 XX33
5F038 AC05 AC15 AV06 CD09 CD18
CD20 EZ15 EZ20